

【図1】

外部入力信号

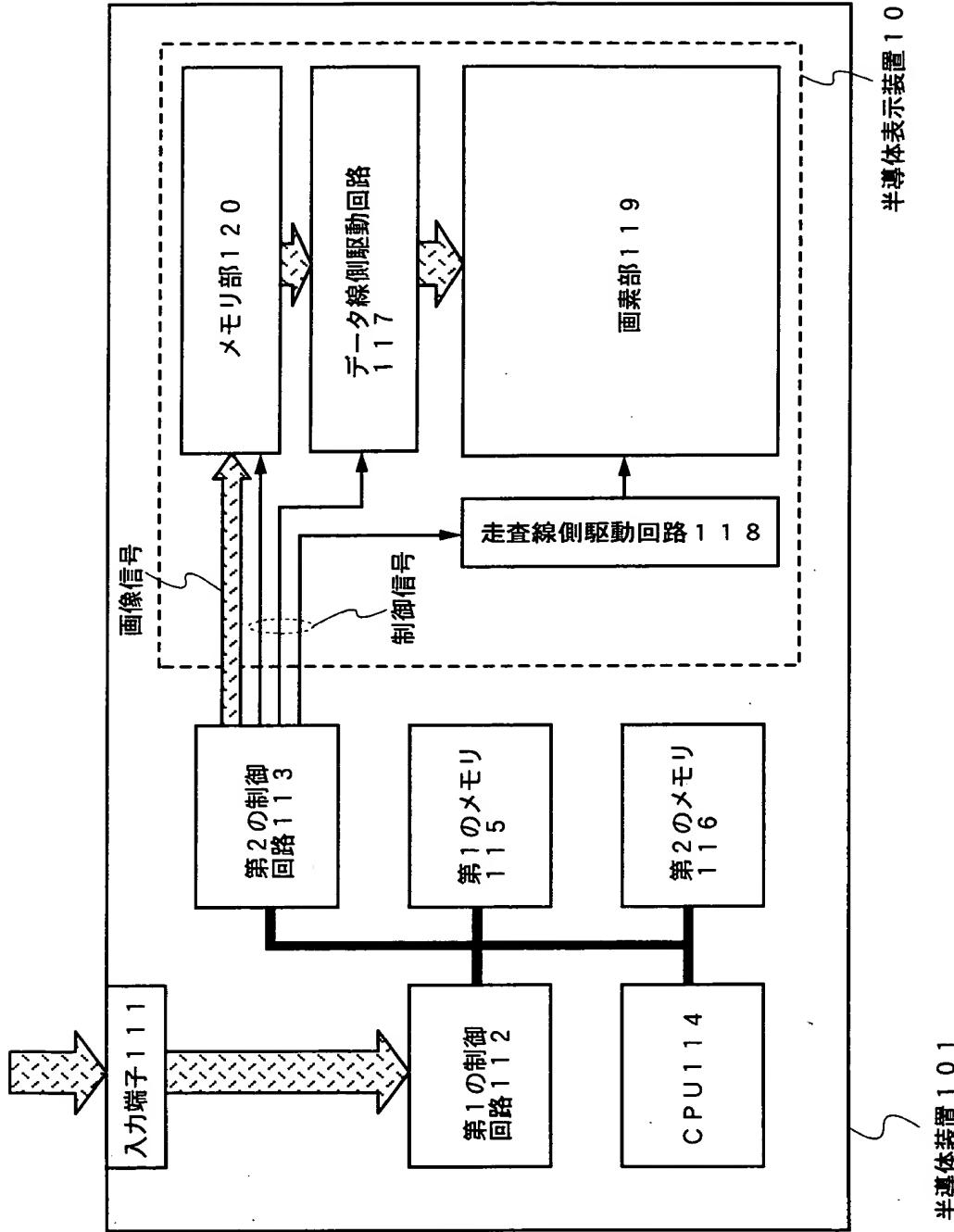
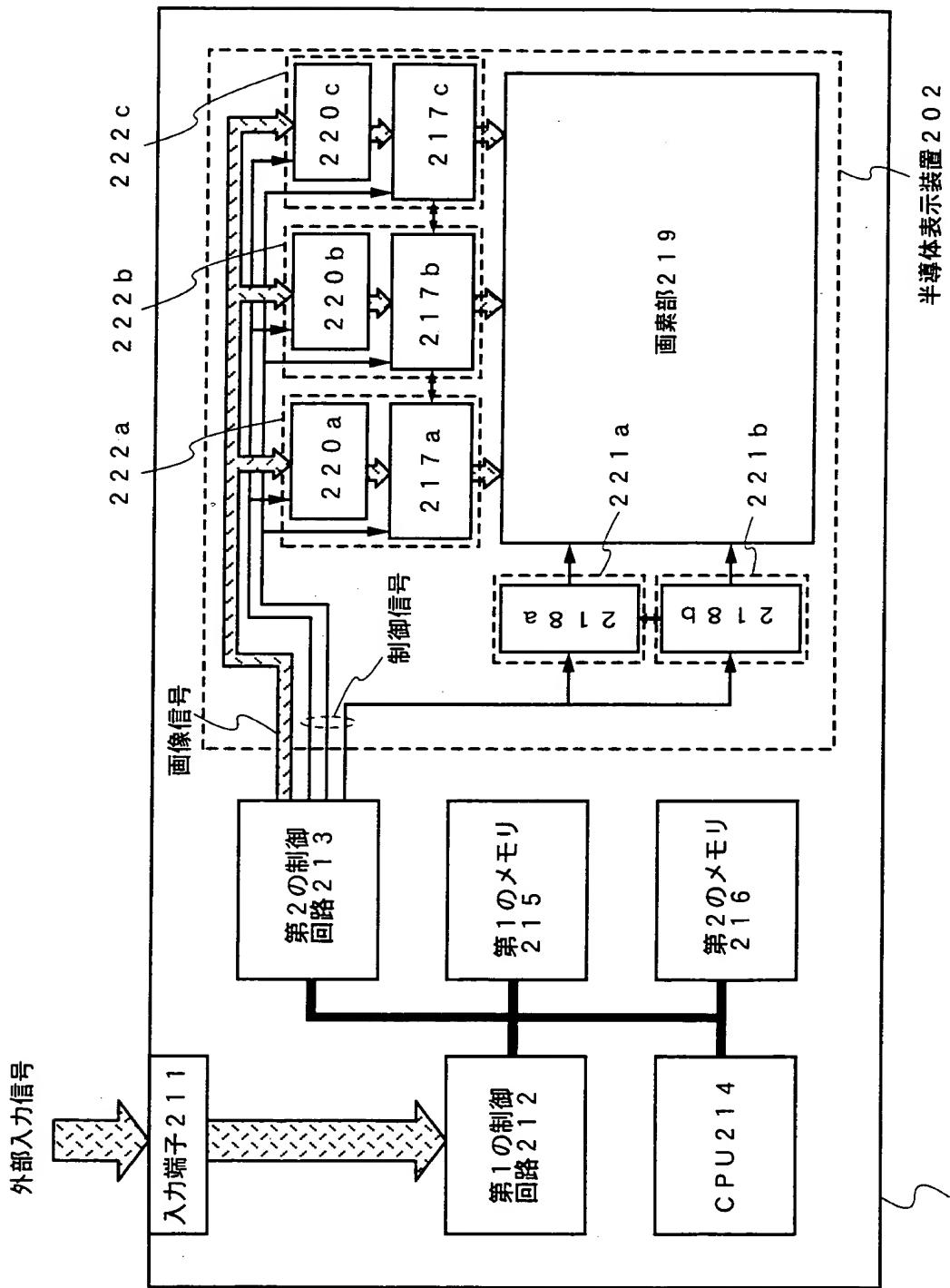


Fig. 1

【図2】



半導体装置 201

217a、217b、217c データ線側駆動回路  
 220a、220b、220c メモリ部  
 222a、222b、222c データ線側スティックドライバ

半導体表示装置 202

Fig. 2

【図3】

外部入力信号

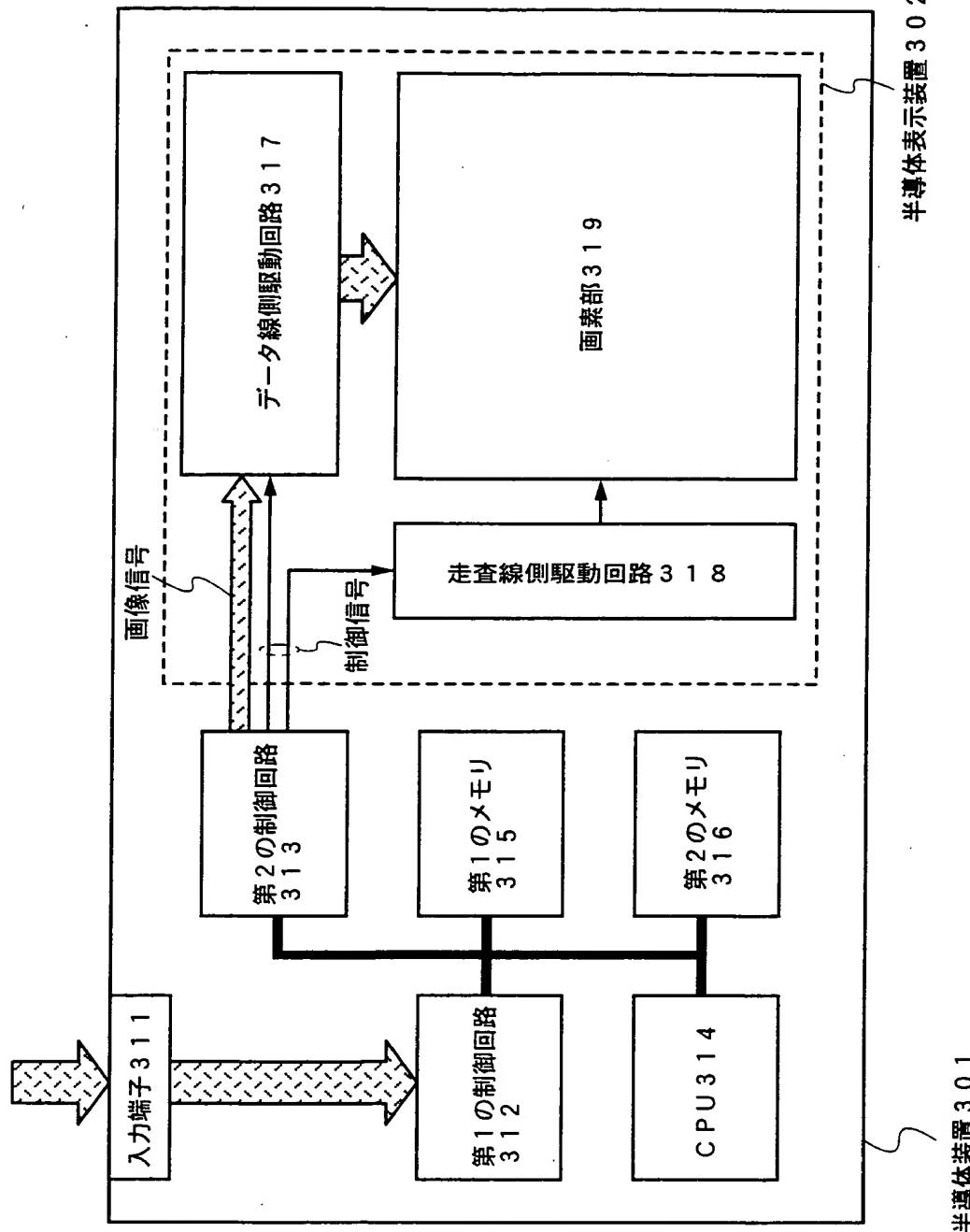


Fig. 3

【図4】

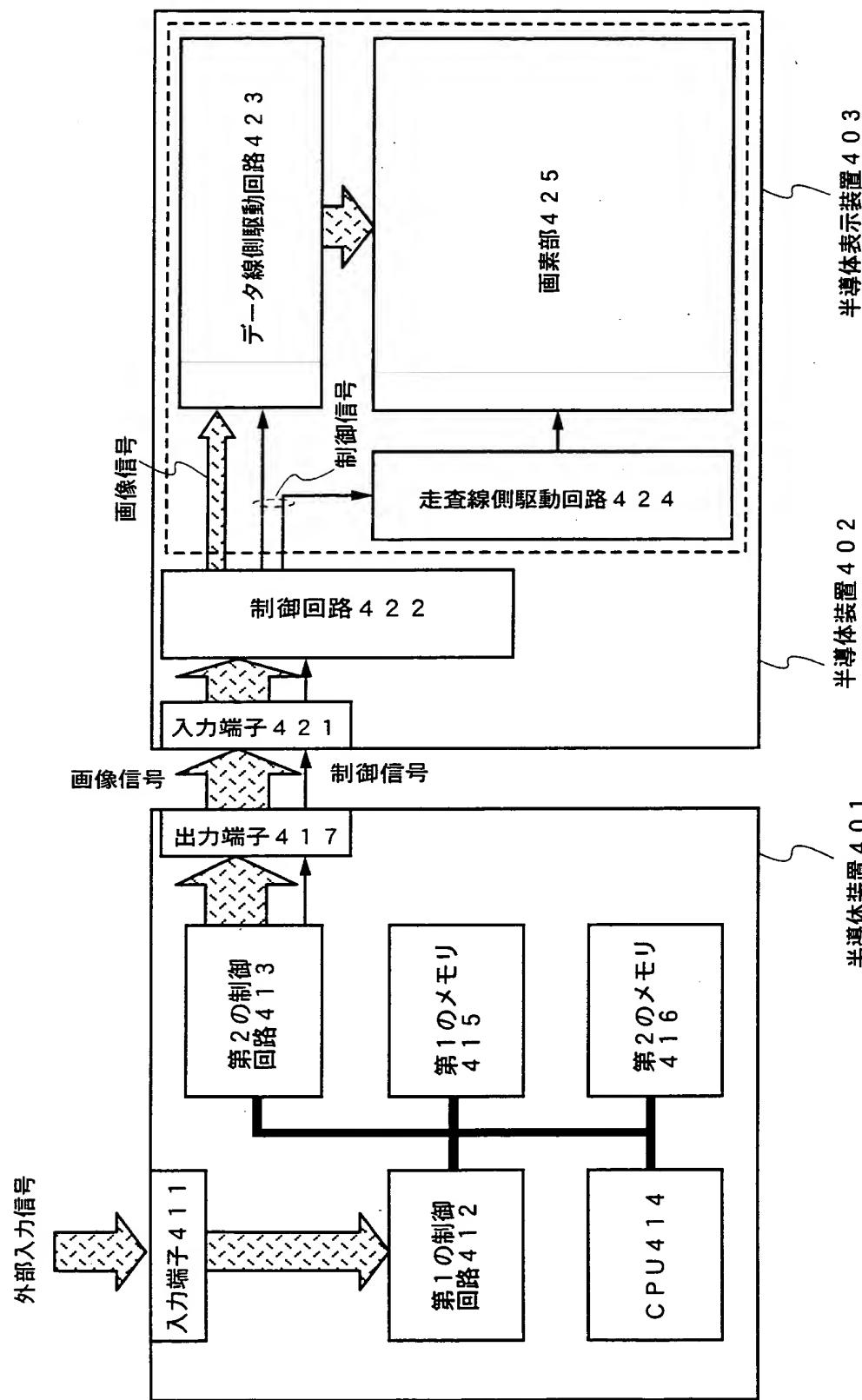


Fig. 4

[図5]

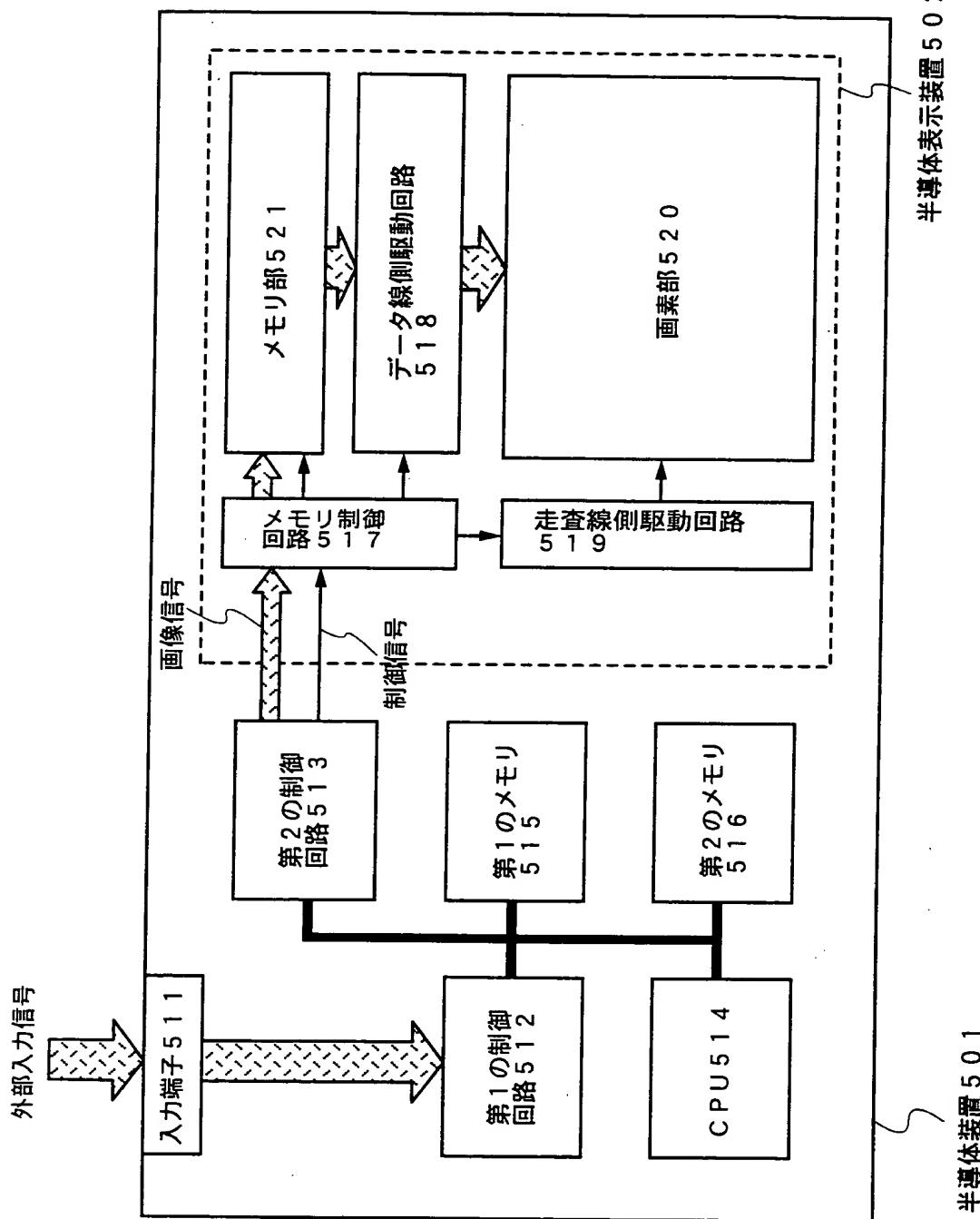
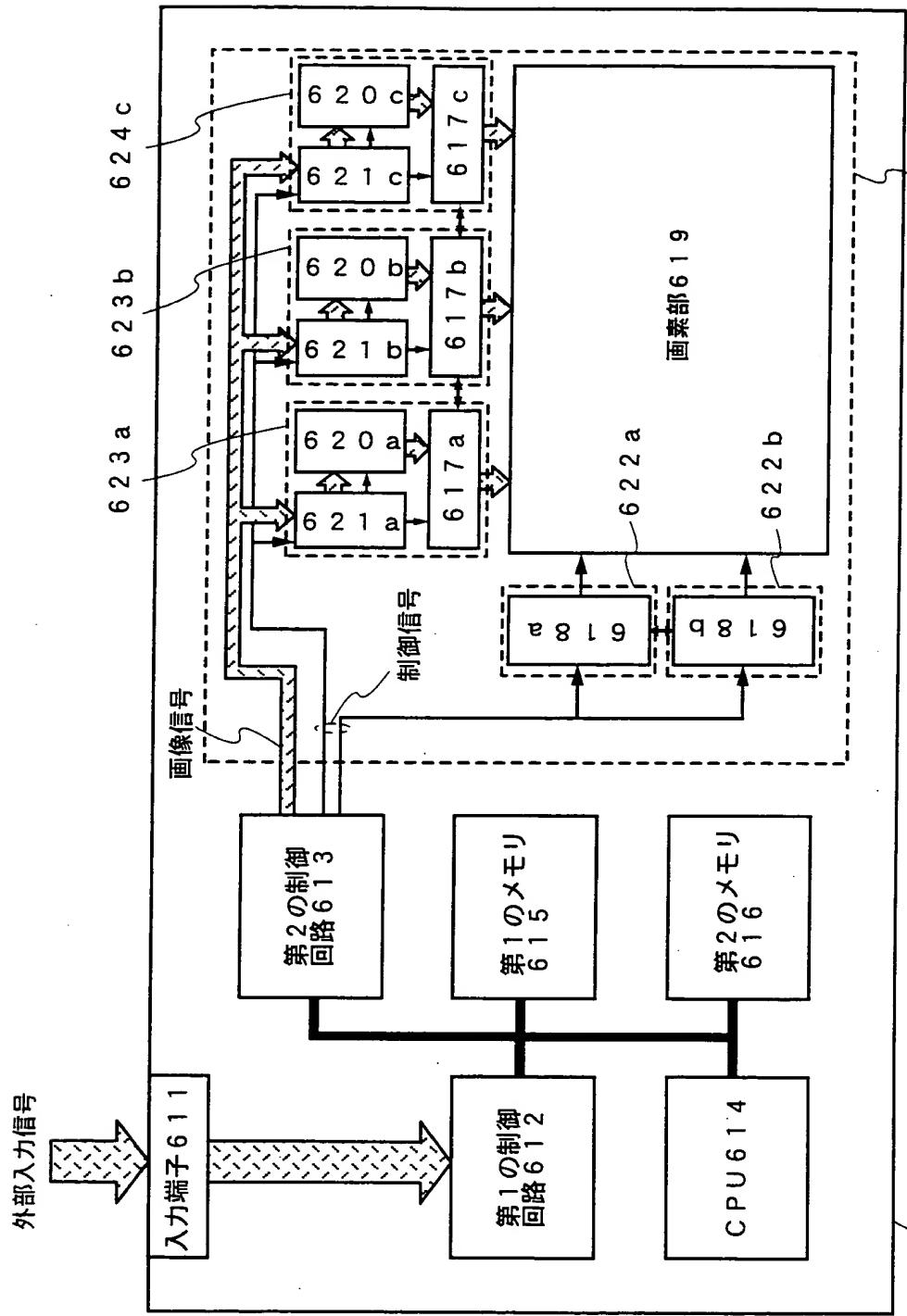


Fig. 5

【図6】



617a, 617b, 617c データ線側駆動回路  
 620a, 620b, 620c メモリ部  
 622a, 622b 走査線側スティックドライバ  
 618a, 618b 走査線側駆動回路  
 621a, 621b, 621c メモリ制御回路  
 623a, 623b, 623c データ線側スティックドライバ

Fig. 6

【図7】

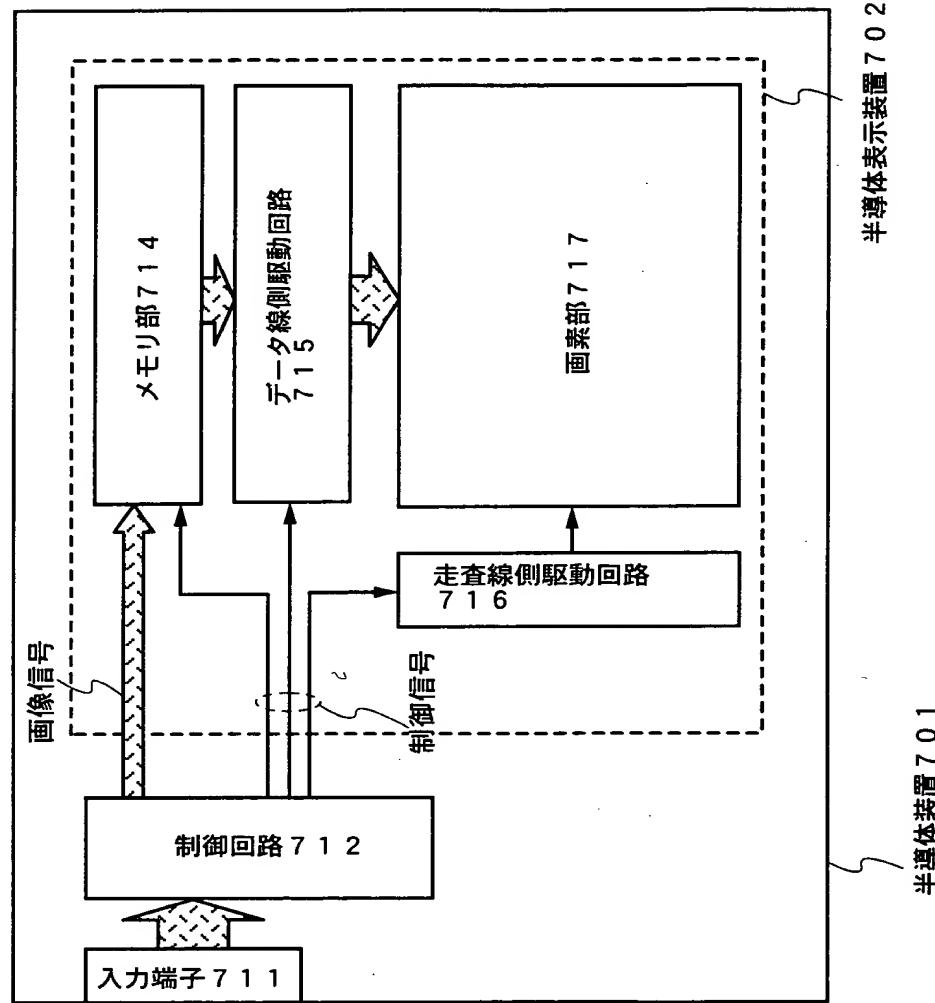


Fig. 7

【図8】

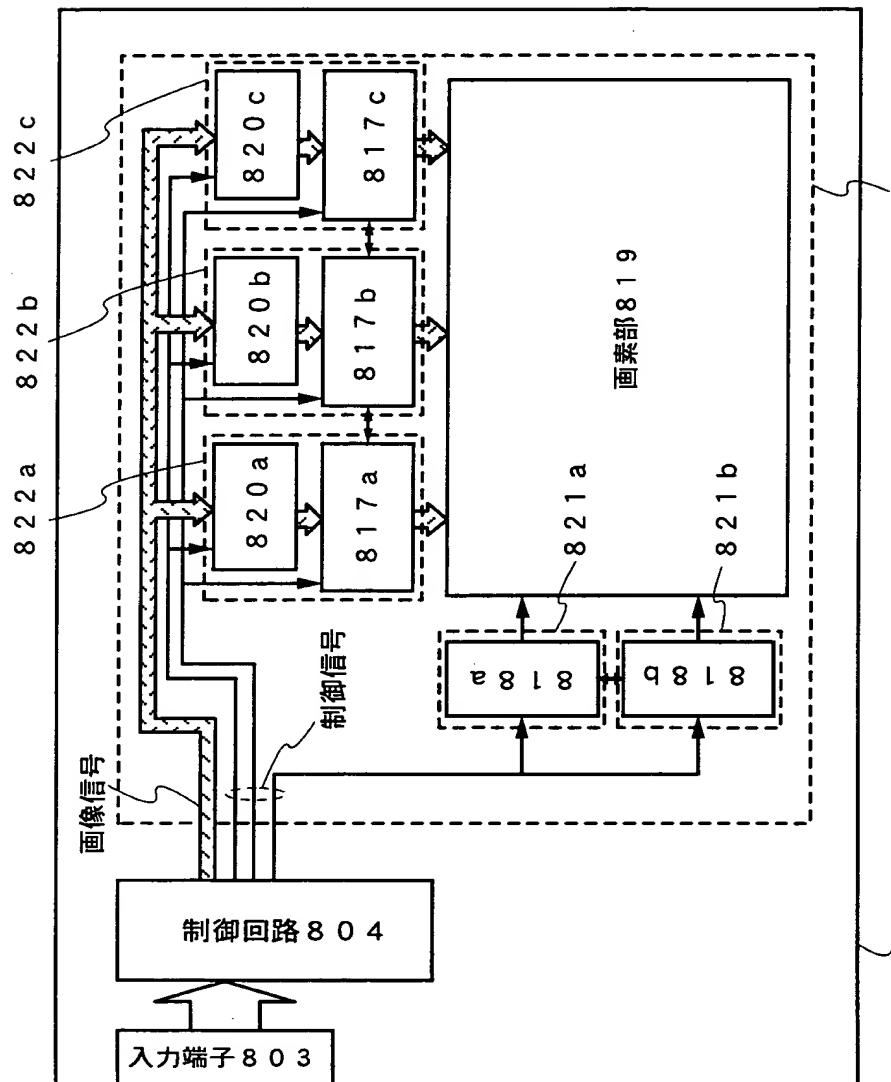
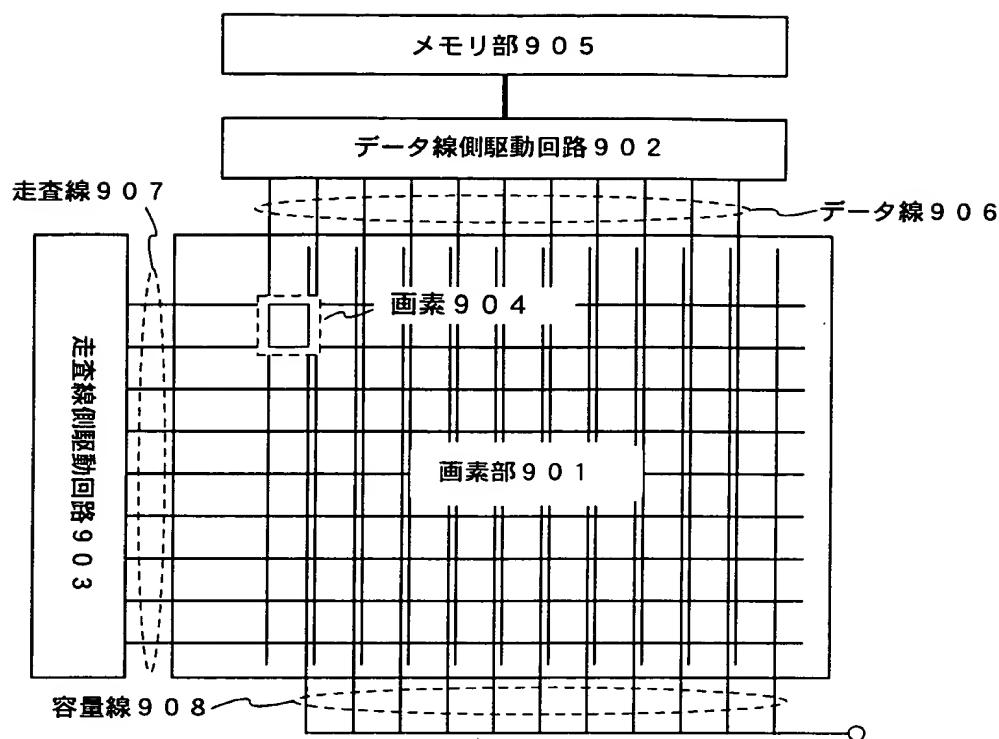
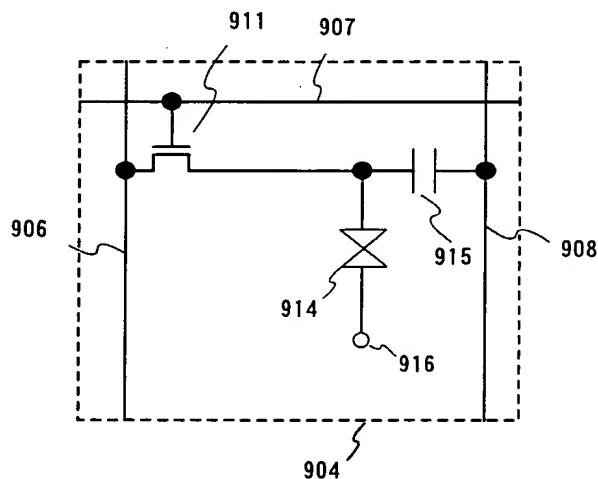


Fig. 8

【図9】

Fig. 9  
(A)Fig. 9  
(B)

904 画素 908 容量線 906 データ線  
 907 走査線 911 スイッチング用 TFT  
 914 液晶素子 915 コンデンサ 916  
 対向電極

Fig. 10 (A)

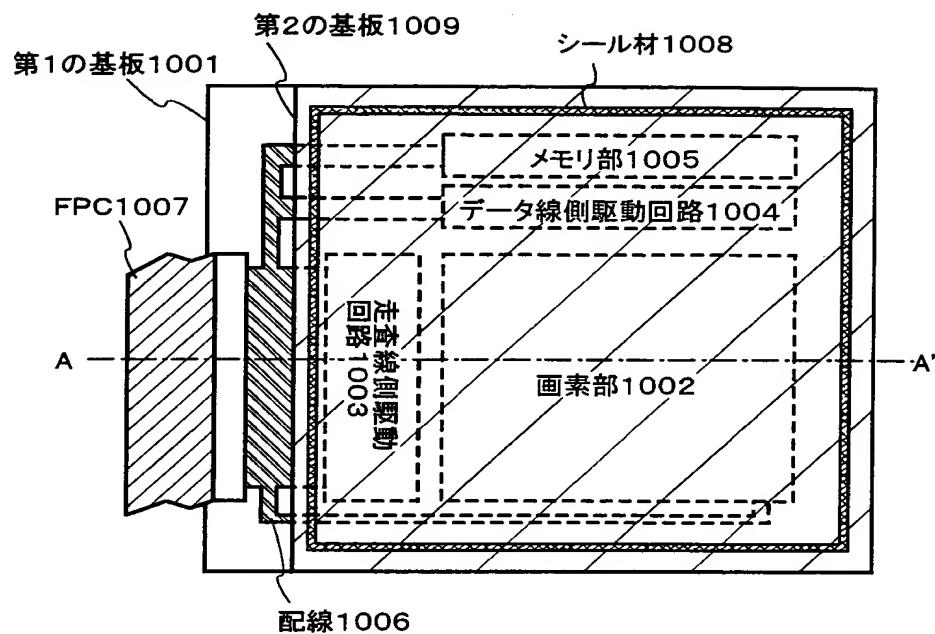


Fig. 10 (B)

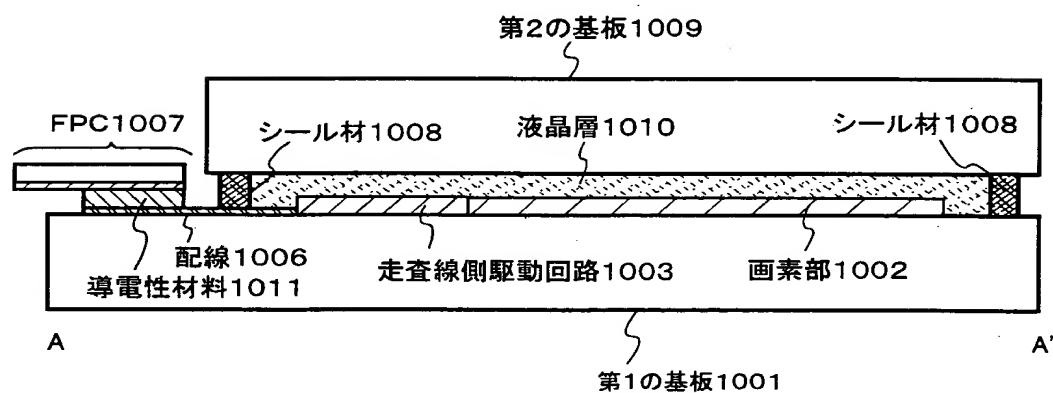
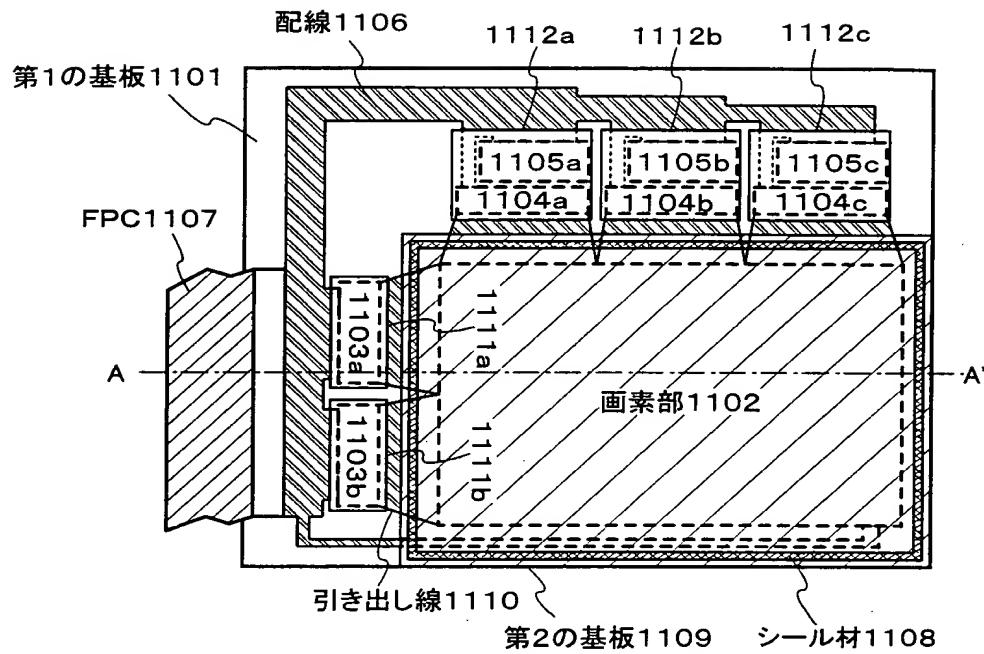
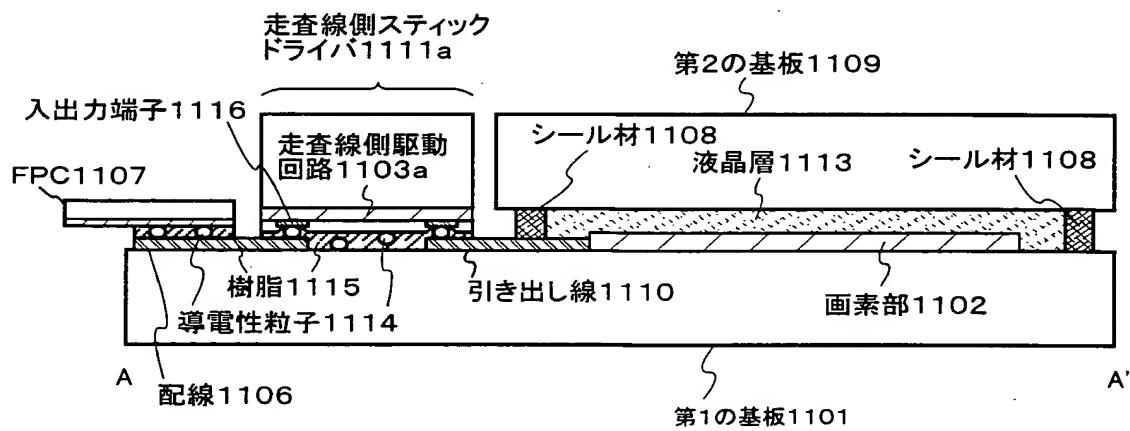


Fig. 11 (A)



1103a, 1103b 走査線側駆動回路  
 1104a, 1104b, 1104c データ線側駆動回路  
 1105a, 1105b, 1105c メモリ部  
 1111a, 1111b 走査線側スティックドライバ  
 1112a, 1112b, 1112c データ線側スティックドライバ

Fig. 11 (B)



【図12】

Fig. 12  
(A)

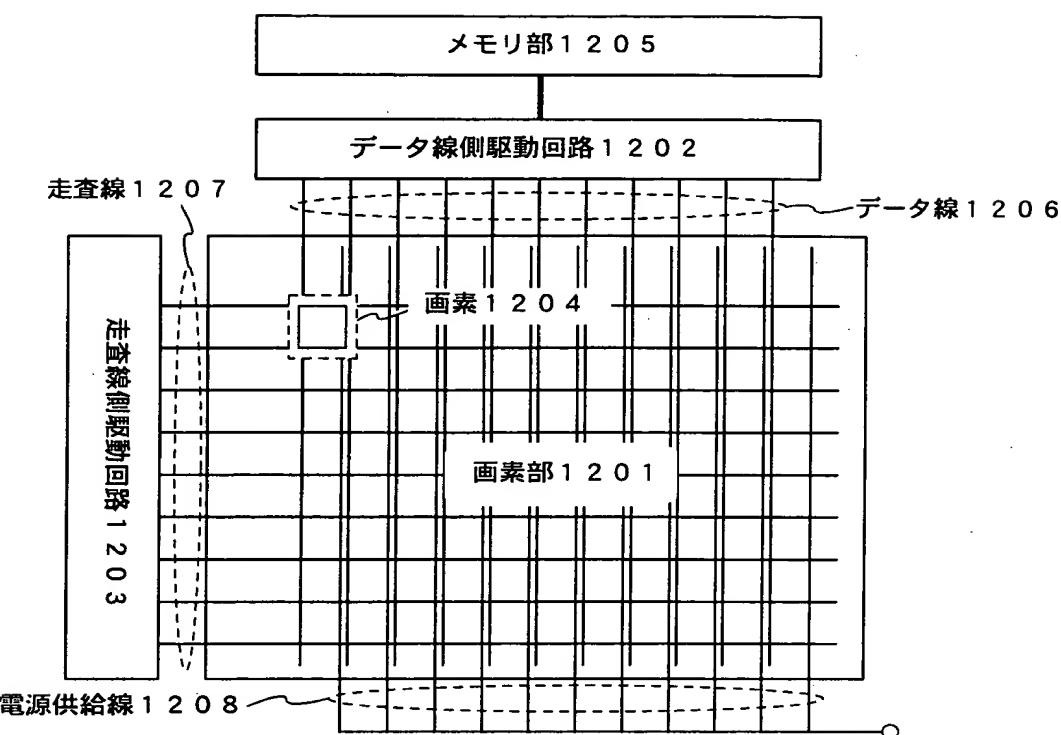
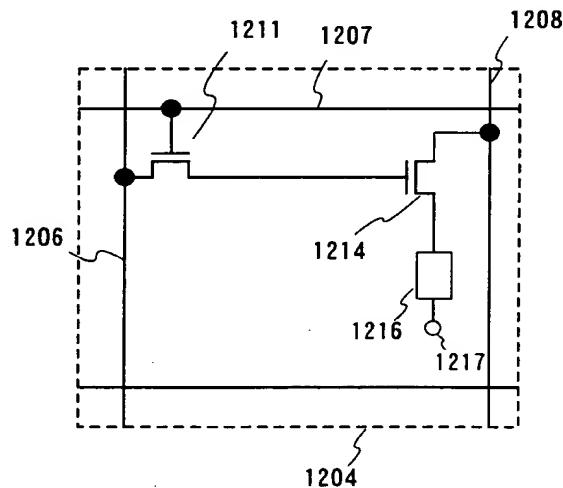


Fig. 12  
(B)



1204 画素 1206 データ線 1207 走査線  
1208 電源供給線 1211 スイッチング用 TFT  
1214 EL 駆動用 TFT 1216 EL 素子 12  
17 対向電極

Fig. 13(A)

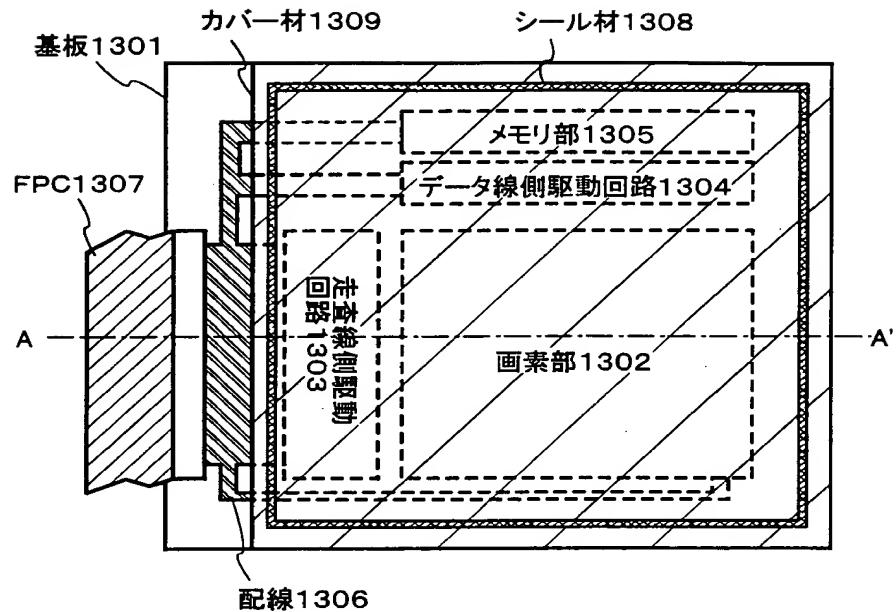


Fig. 13(B)

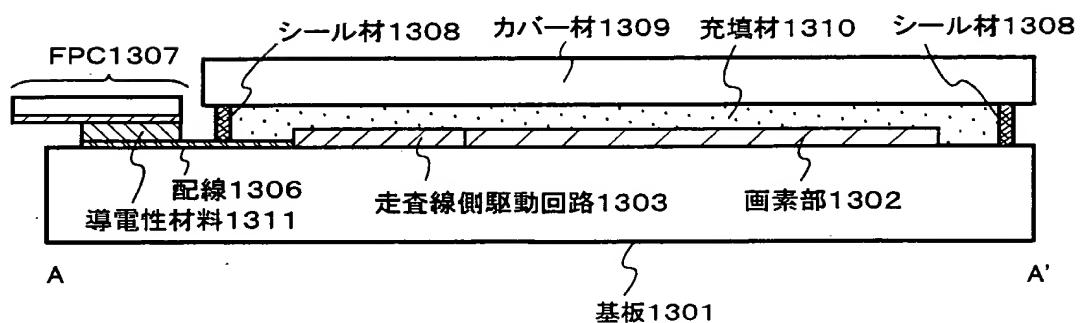
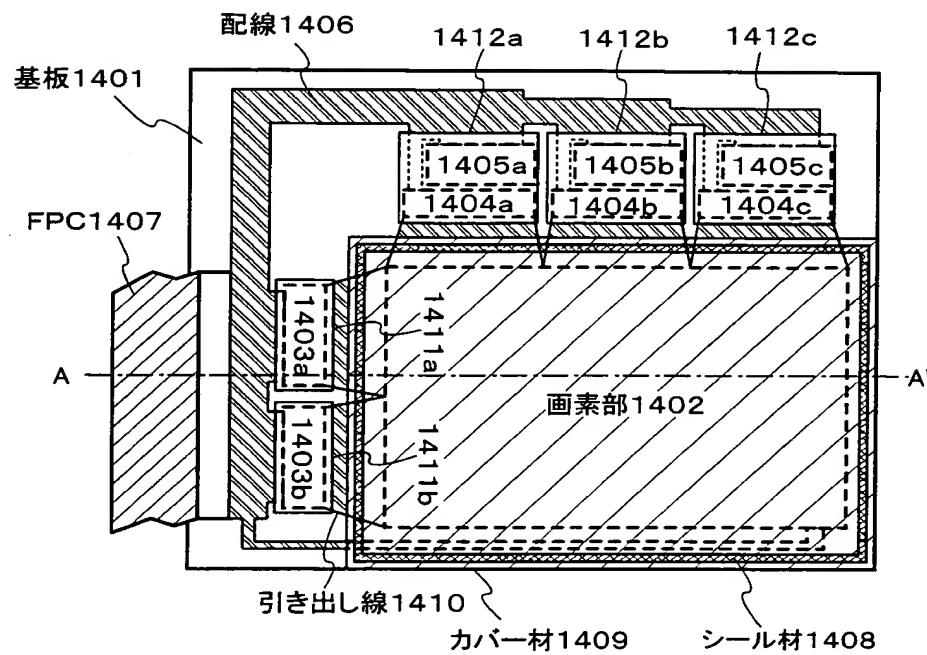
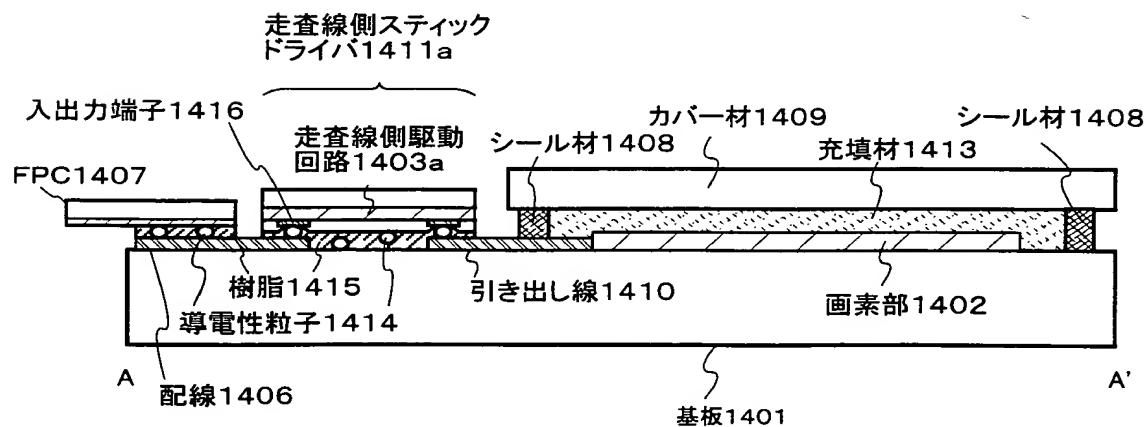


Fig. 14(A)



1403a, 1403b 走査線側駆動回路  
 1404a, 1404b, 1404c データ線側駆動回路  
 1405a, 1405b, 1405c メモリ部  
 1411a, 1411b 走査線側スティックドライバ  
 1412a, 1412b, 1412c データ線側スティックドライバ

Fig. 14(B)



【図15】

Fig. 15  
(A)

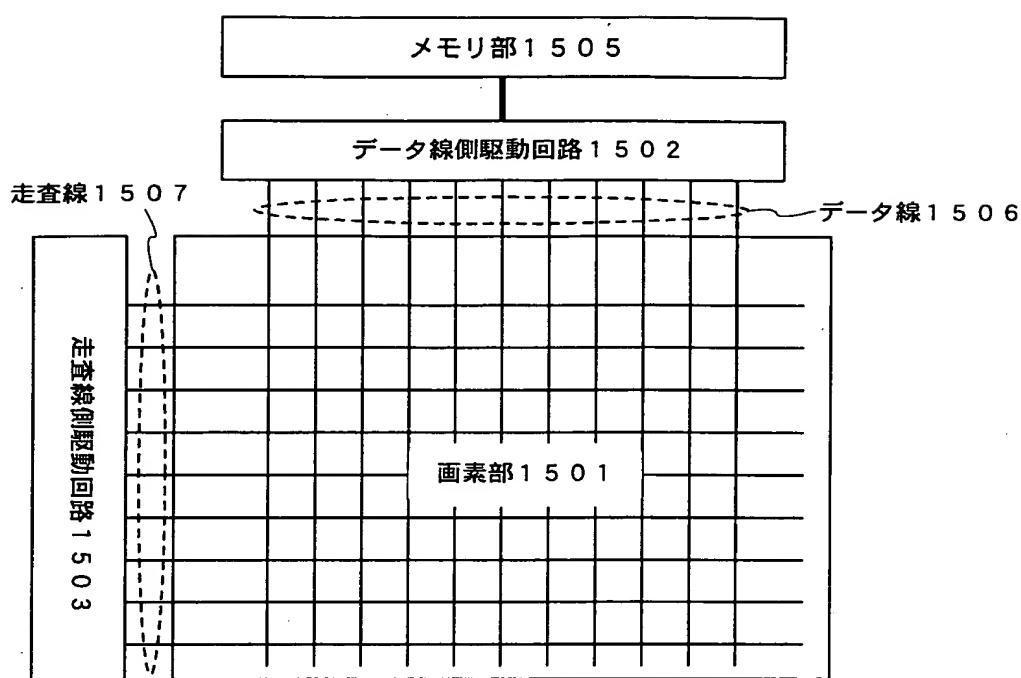
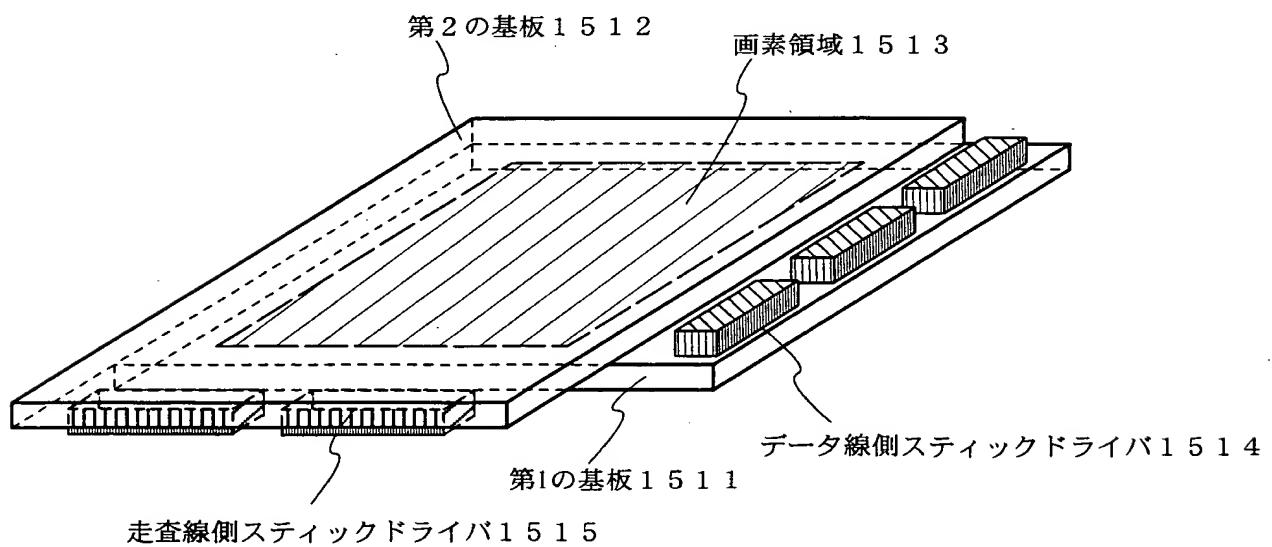


Fig. 15  
(B)



[図16]

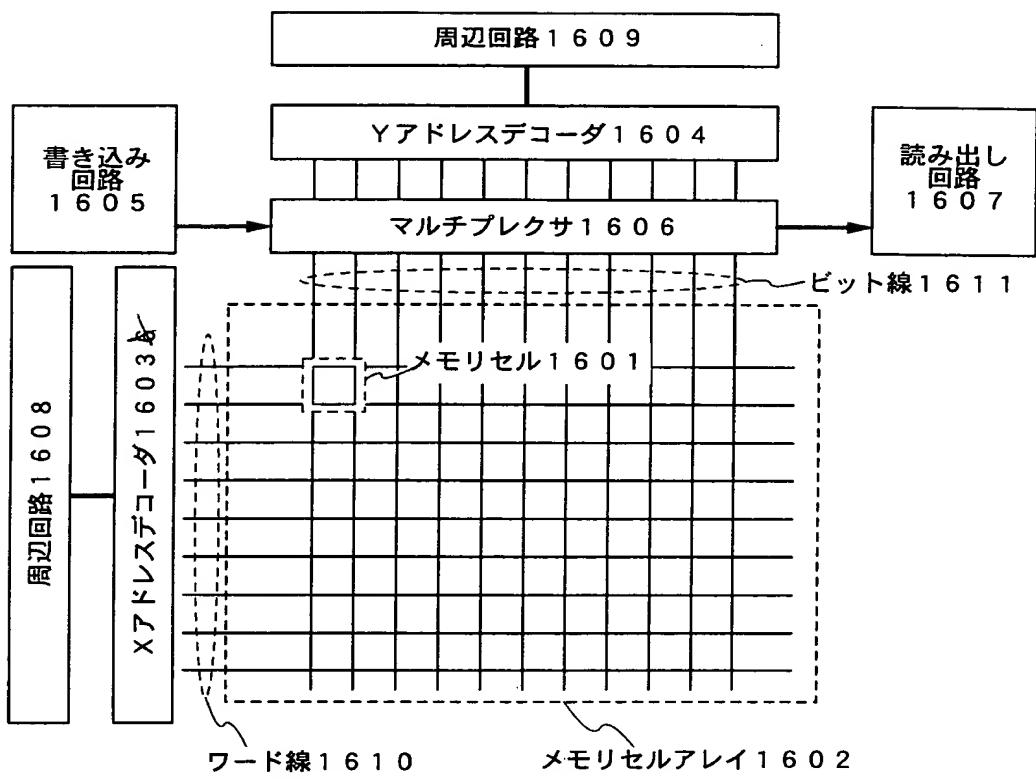


Fig. 16

[図17]

Fig. 17  
(A)

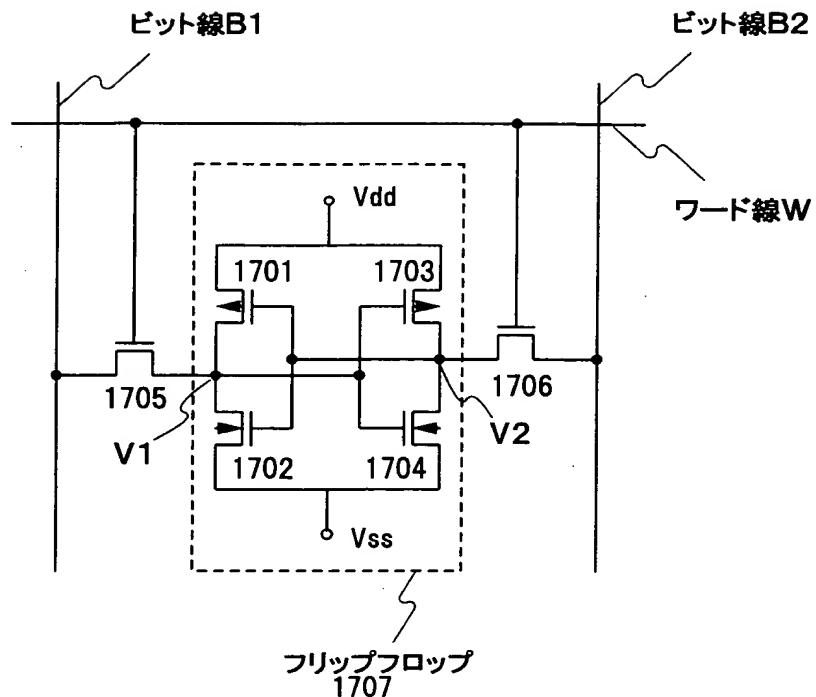
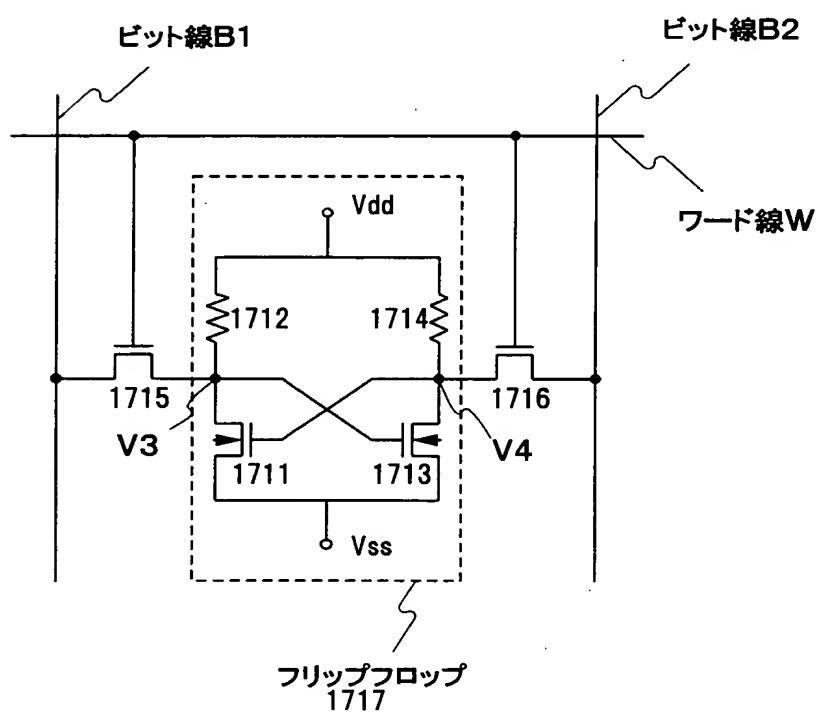


Fig. 17  
(B)



[図18]

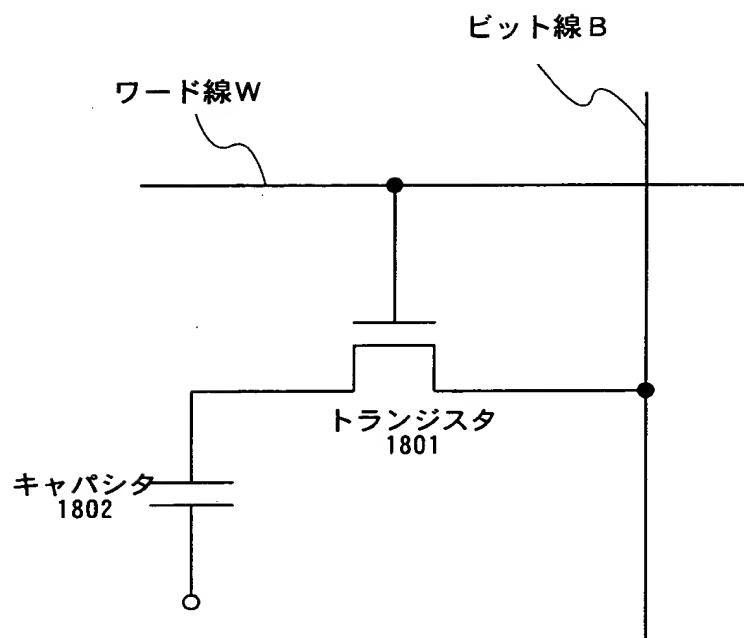


Fig. 18

[図19]

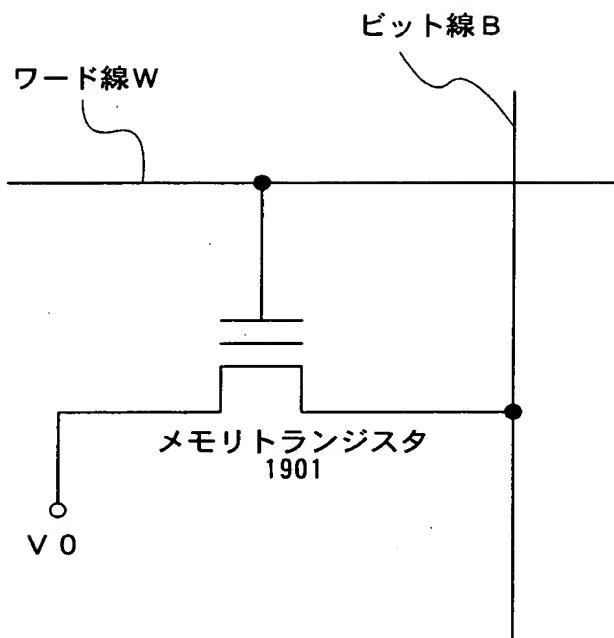
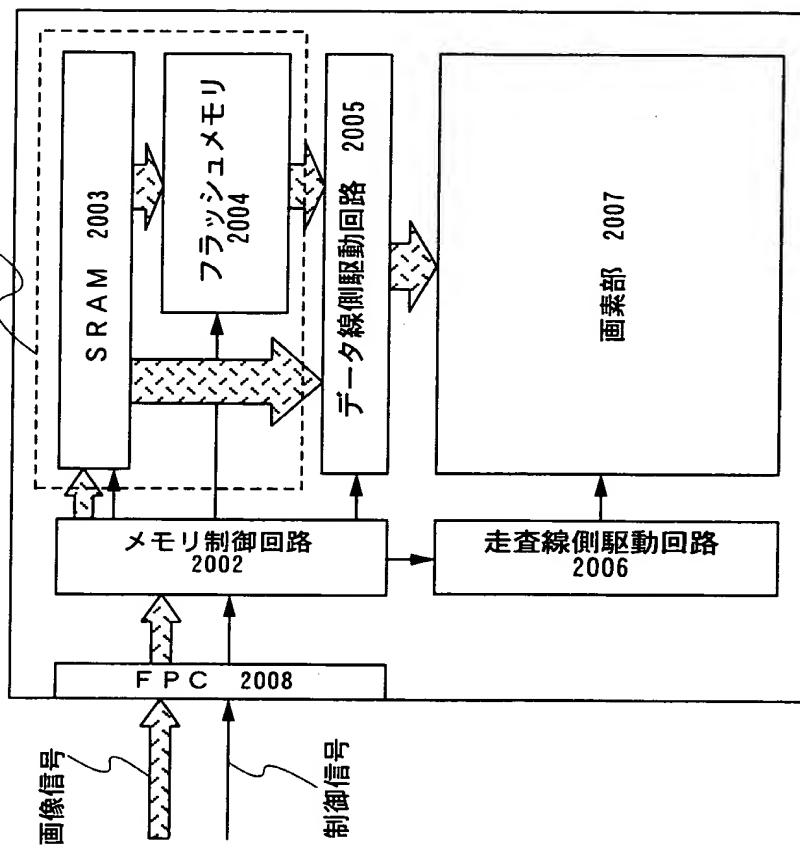


Fig. 19

【図20】

メモリ部 2009



半導体表示装置 2001

Fig. 20

【図21】

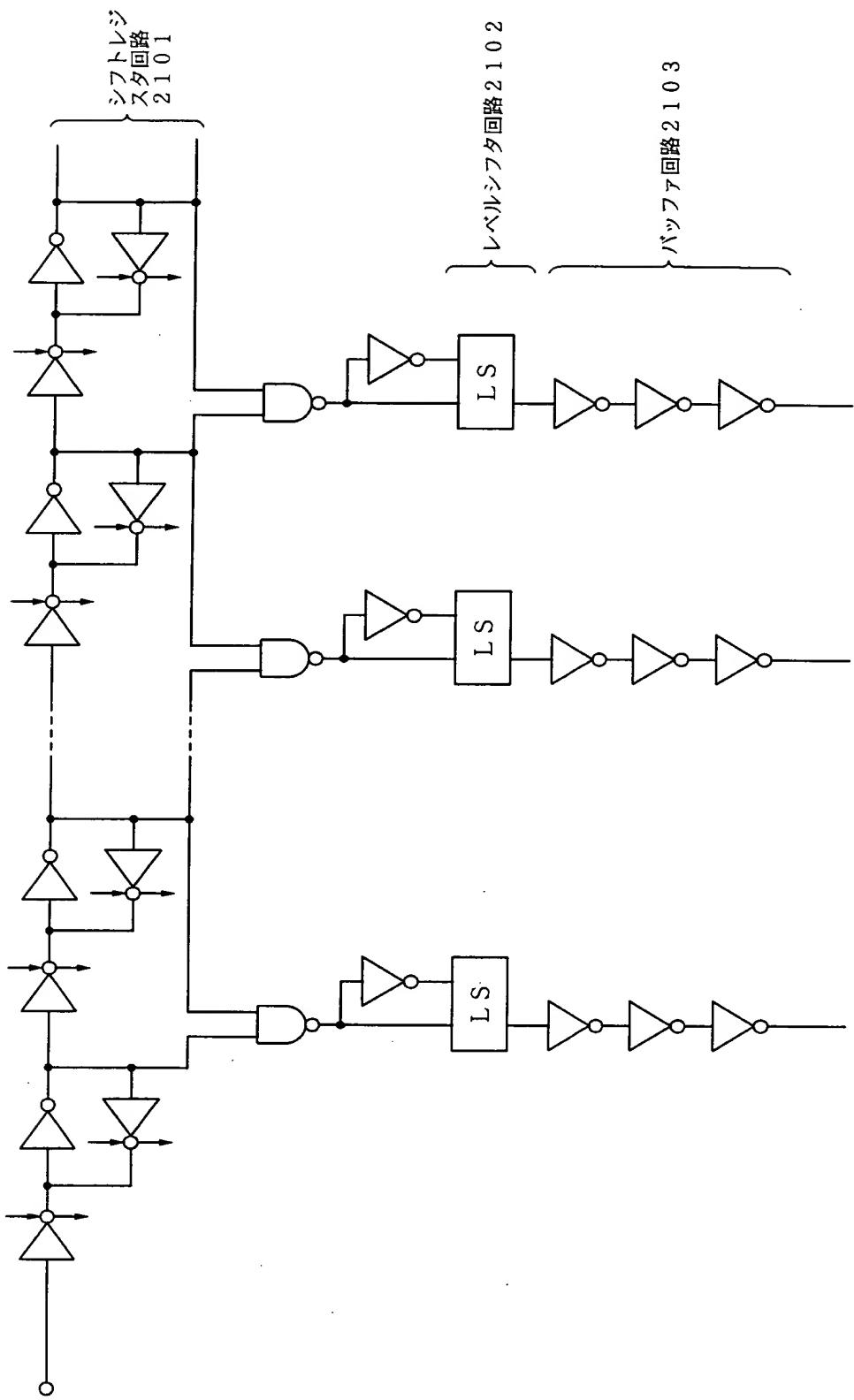


Fig. 21

図 2.2

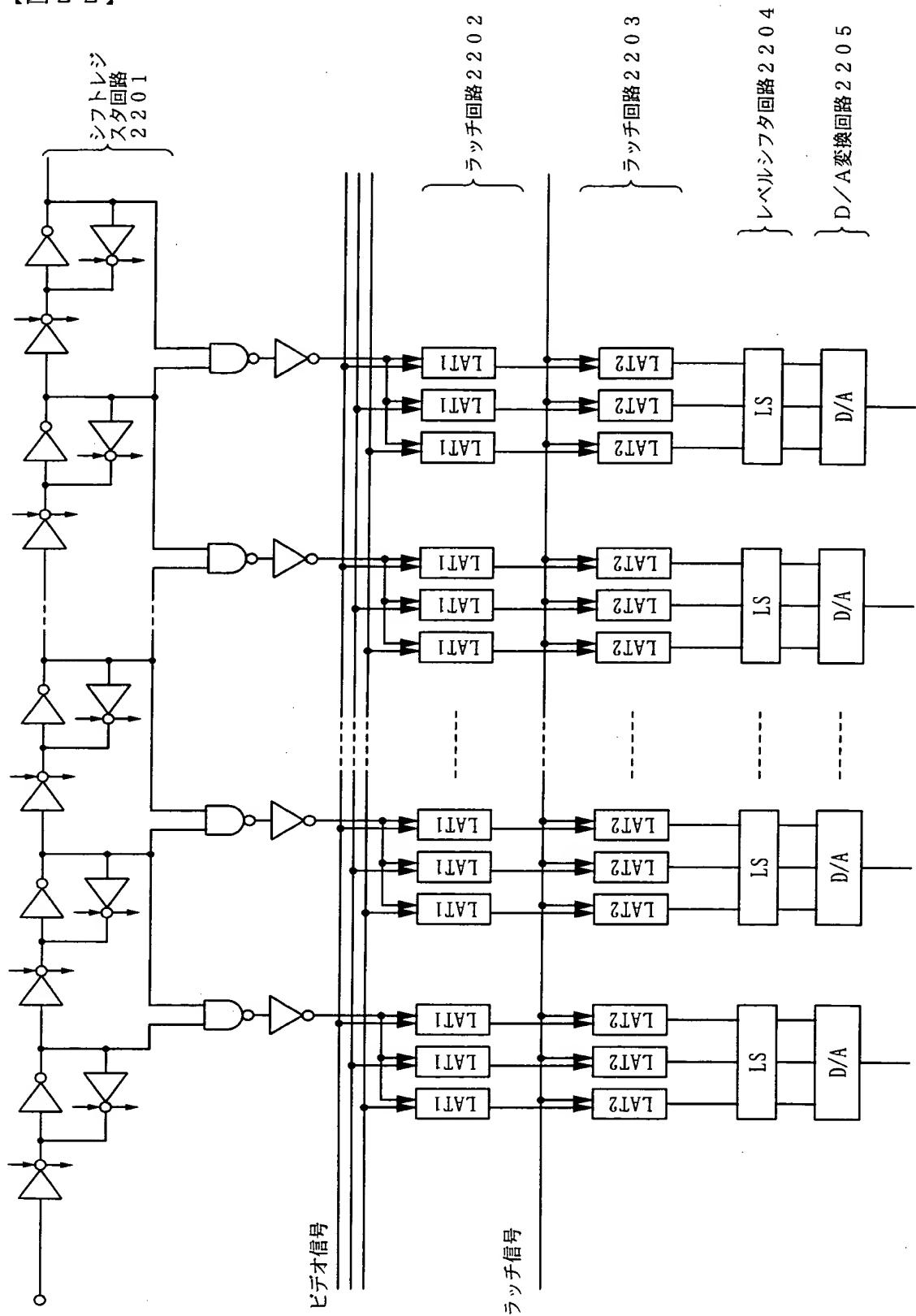
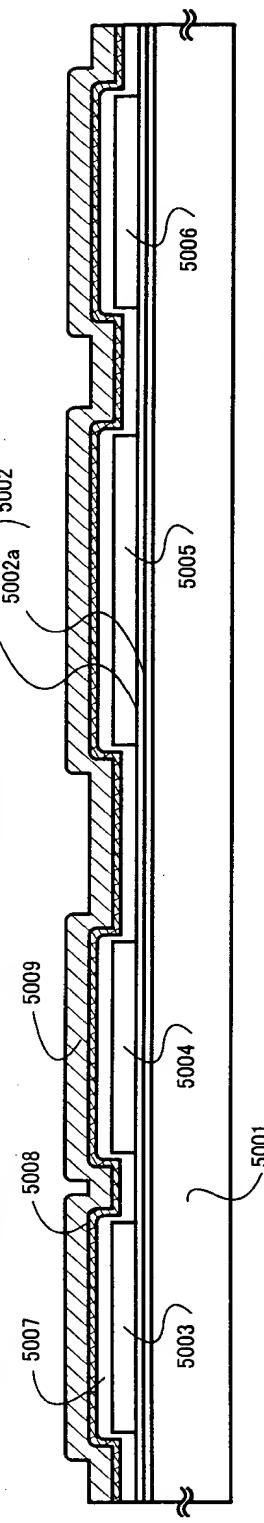


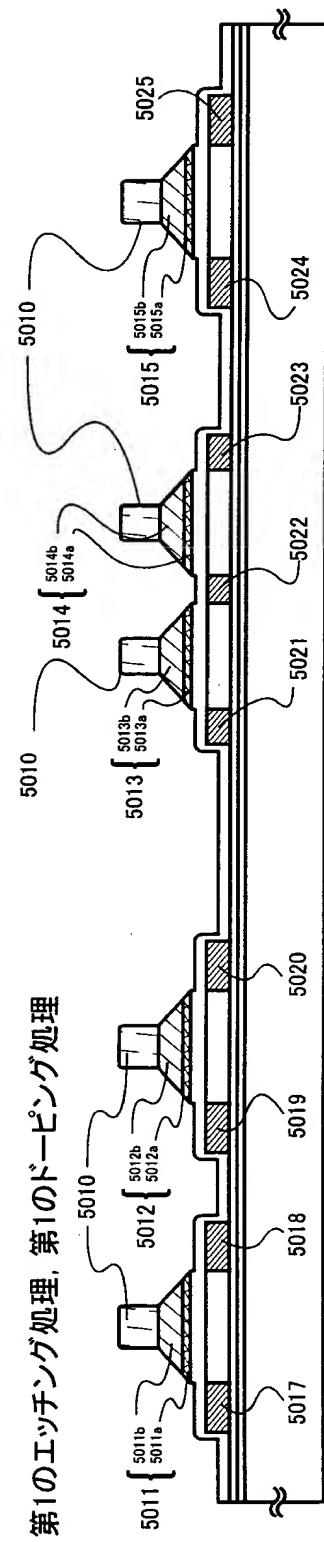
Fig. 2.2

Fig. 23

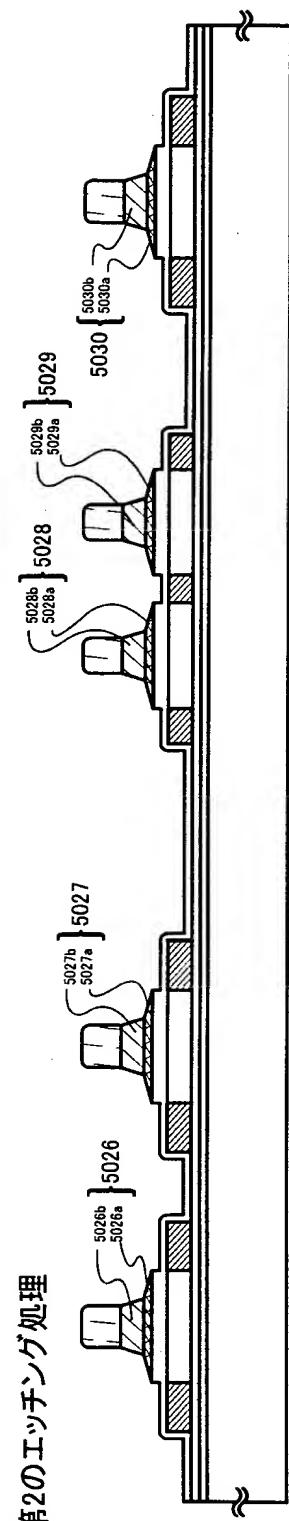
(A) 島状半導体層、ゲート絶縁膜、ゲート電極用第1・第2の導電膜の形成

Fig. 23  
(B)

第1のエッチング処理、第1のドーピング処理

Fig. 23  
(C)

第2のエッチング処理



5001：基板  
5002：下地膜  
5003～5006：半導体層  
5007：ゲート絶縁膜

5008：第1の導電膜  
5009：第2の導電膜  
5010：レジストマスク  
5011～5015：第1の導電膜

5016～5019：第2の導電膜  
5020～5023：第1の導電膜  
5024～5027：第2の導電膜

5028～5031：第1の導電膜  
5029～5032：第2の導電膜  
5033～5036：第1の導電膜  
5037～5040：第2の導電膜

5011a～5015a：第1の導電膜  
5011b～5015b：第2の導電膜  
5017～5025：第1の不純物領域  
5026～5030：第2の形状の導電層

下の6回目の「EE」から下部を6回

Fig.24

## (A) 第2のドーピング処理

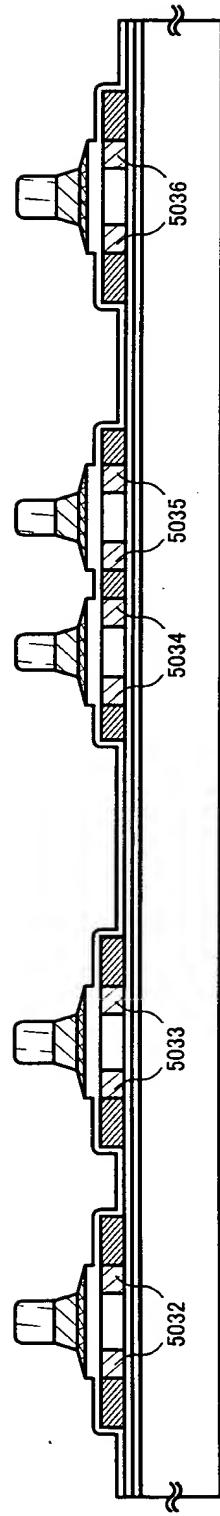


Fig.24

## (B) 第3のエッチング処理

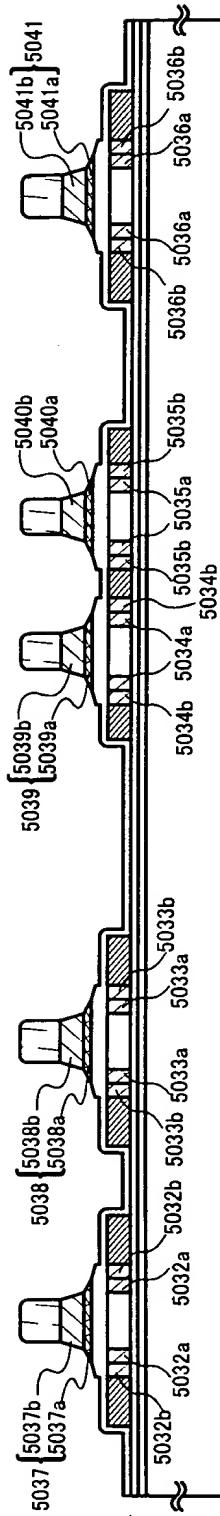
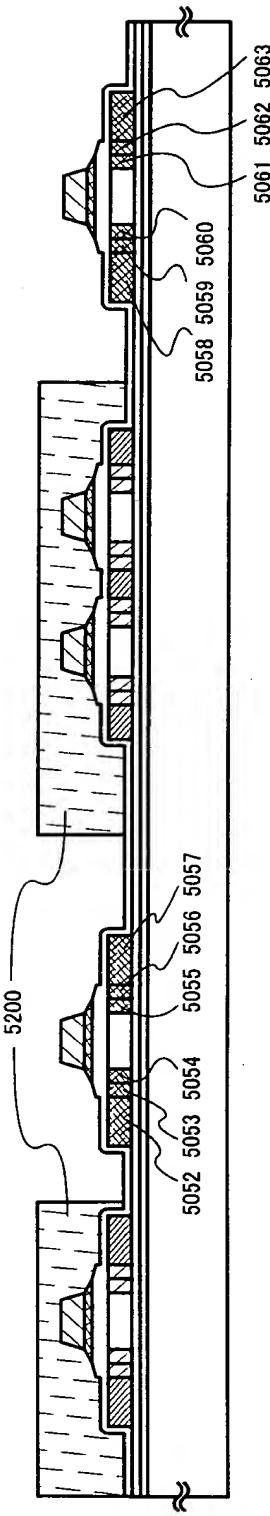


Fig.24

## (C) 第3のドーピング処理



5032～5036 : 第2の不純物領域  
5032a～5036a : 第3の不純物領域  
5032b～5036b : 第4の不純物領域

5037～5041 : 第3の形状の導電層  
5037～5041a : 第3の不純物領域  
5037～5041b : 第5の不純物領域  
5052～5057 : レジストマスク

5200 : レジストマスク

第1, 第2の層間絶縁膜、配線形成

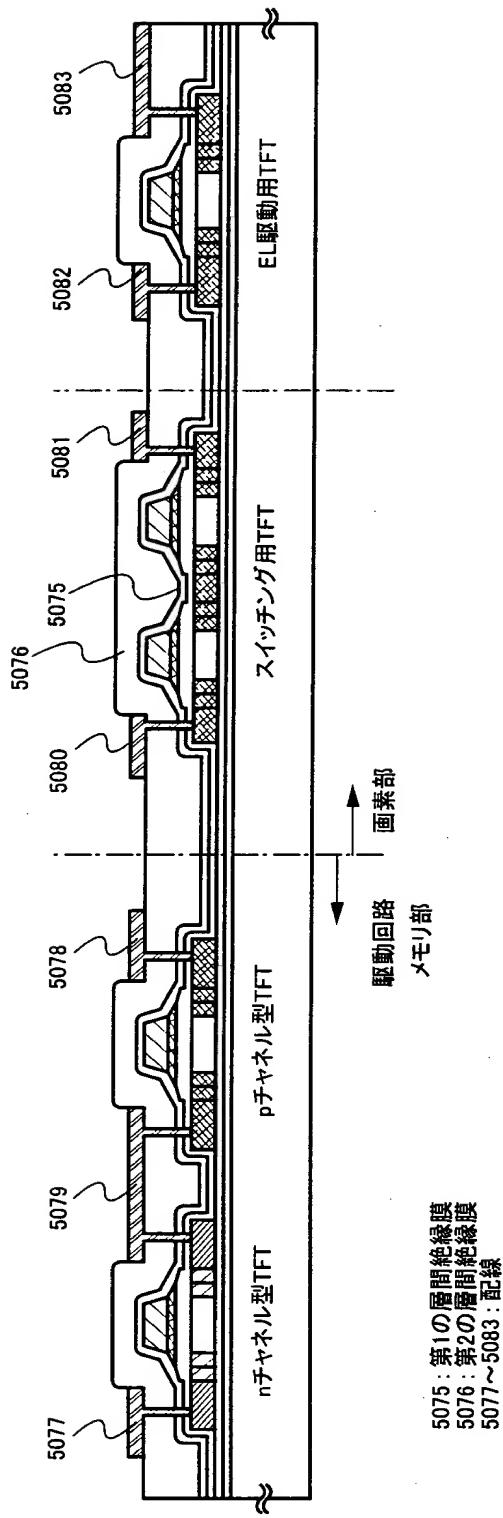
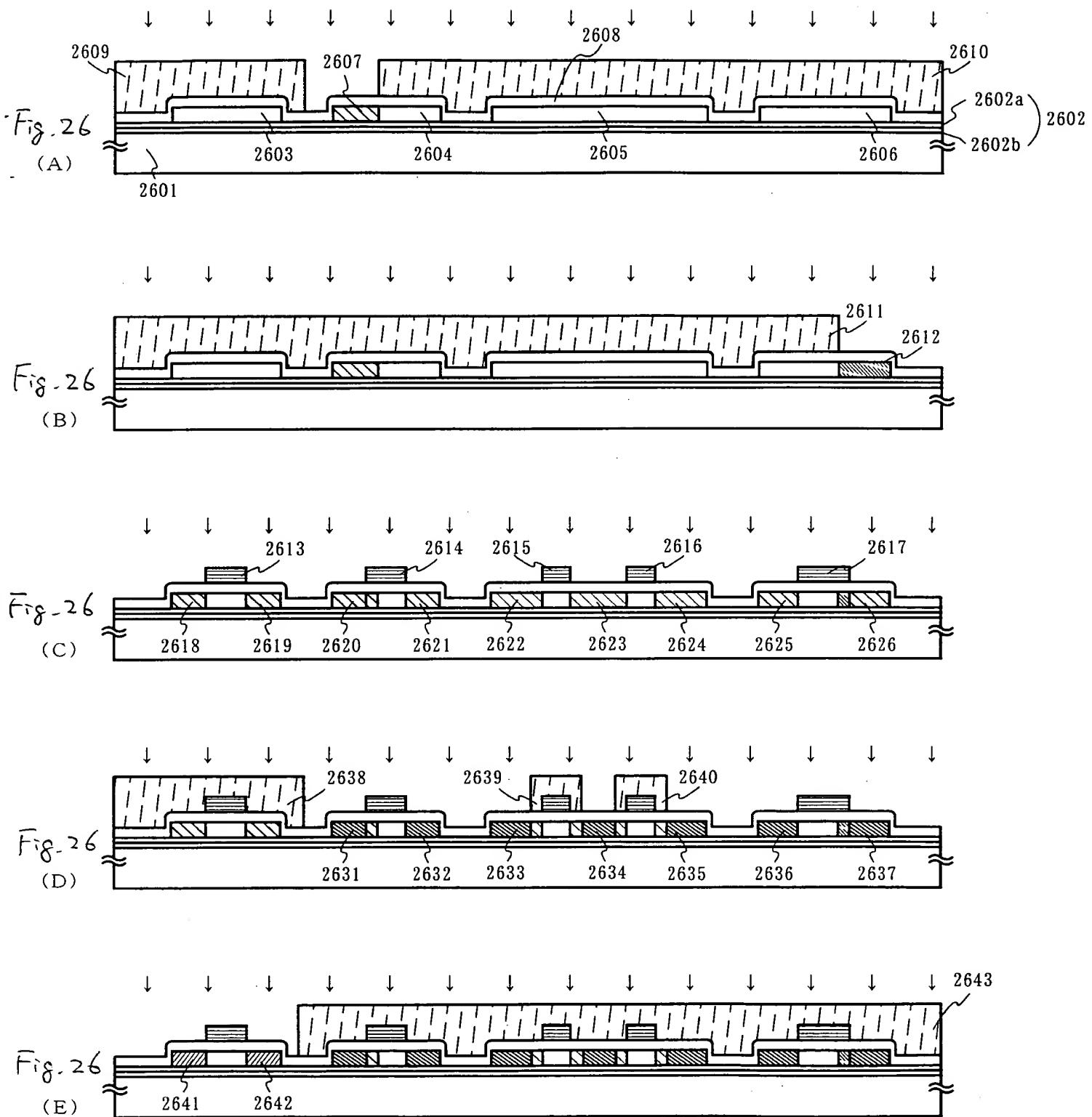
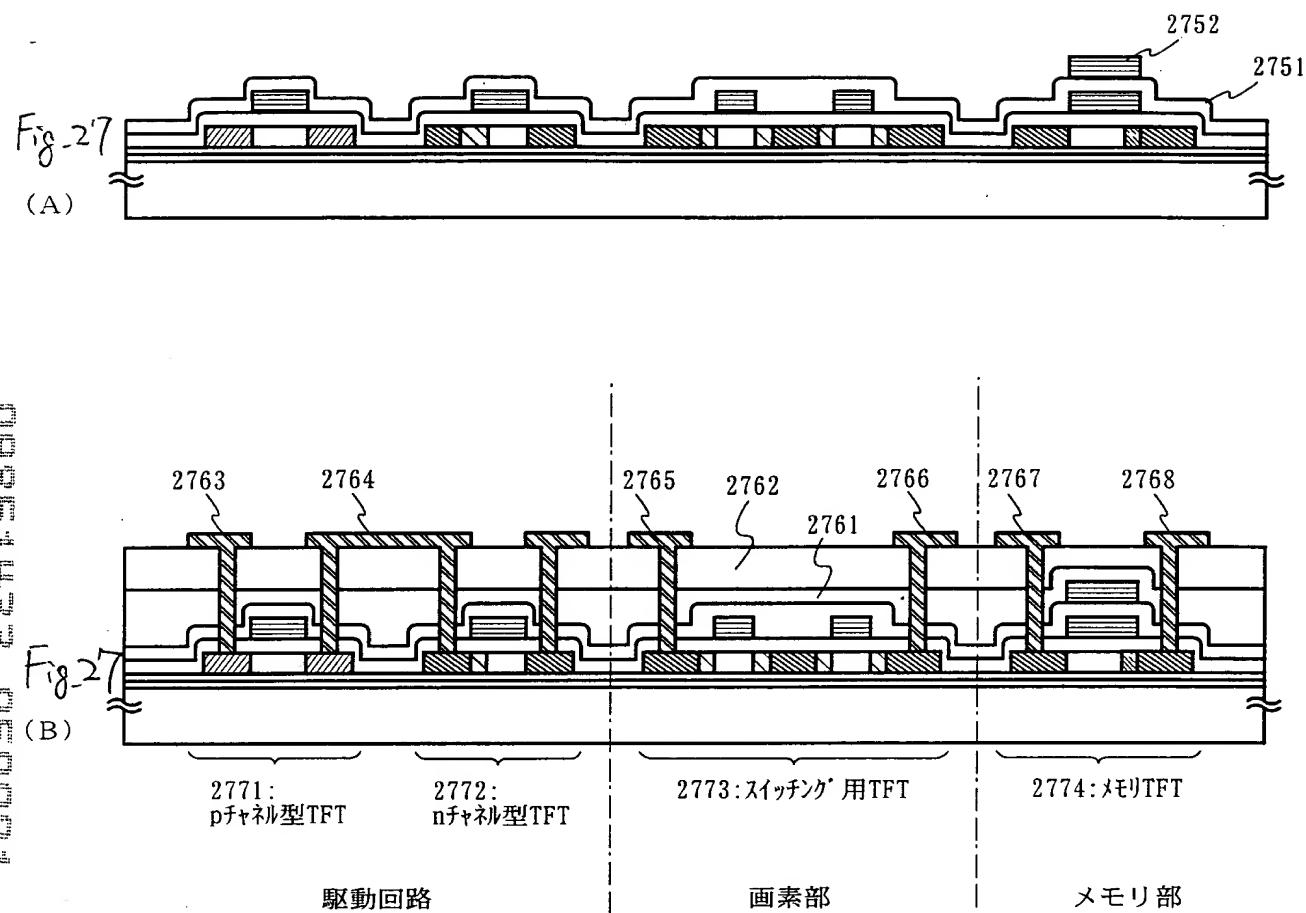


Fig. 25

【図26】



【図27】



【図28】

Fig. 28 (A)

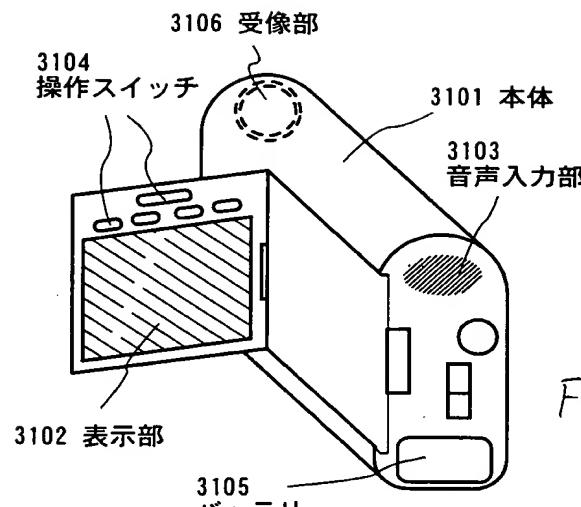
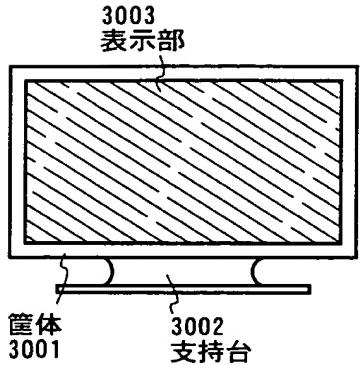


Fig. 28 (B)

Fig. 28 (C)

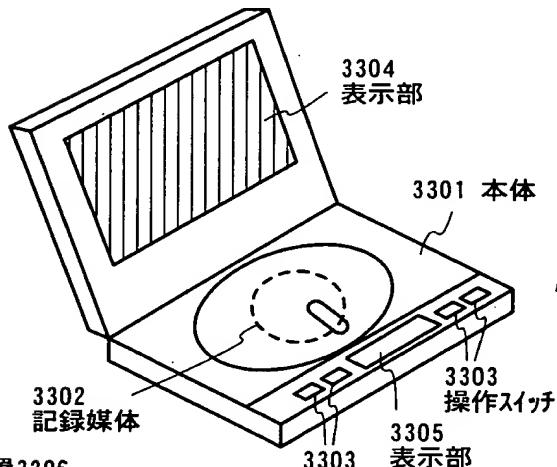
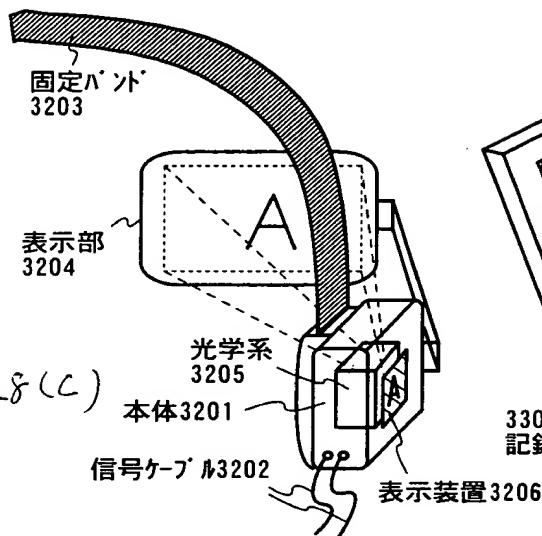


Fig. 28 (D)

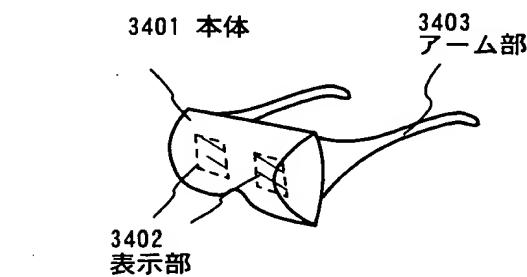


Fig. 28 (E)

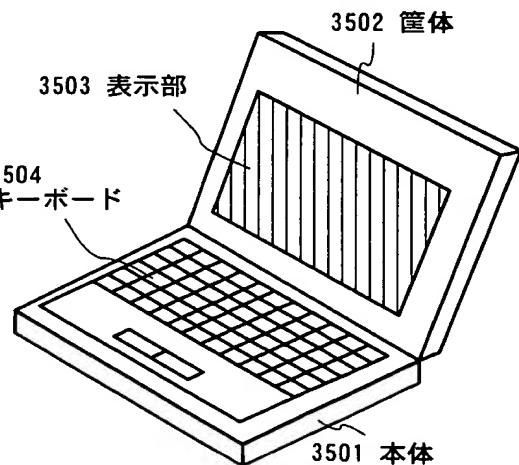


Fig. 28 (F)

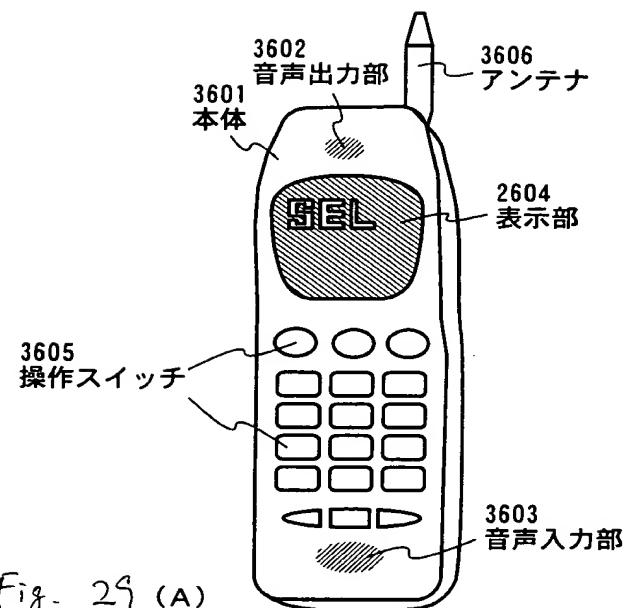


Fig. 29 (A)

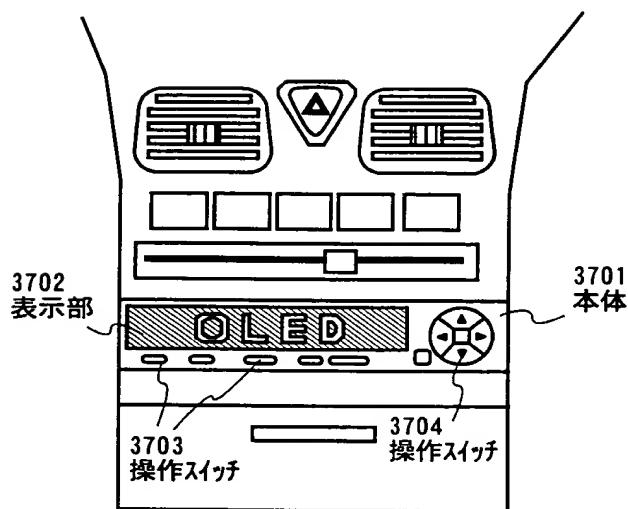


Fig. 29 (B)

整理番号 =

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】

画素部と、画素部の駆動回路と、メモリ部と、を少なくとも備えた半導体装置であって、

前記画素部と、前記画素部の駆動回路と、前記メモリ部と、は同一基板上に形成され、

前記メモリ部に格納された画像データを基に画像を表示する機能を有することを特徴とする半導体装置。

【請求項 2】

画素部と、画素部の駆動回路と、メモリ部と、を少なくとも備えた半導体装置であって、

前記画素部は第 1 の基板上に形成されており、

前記画素部の駆動回路と前記メモリ部とは第 2 の基板上に形成されており、

前記第 1 の基板上の前記画素部以外の領域に前記第 2 の基板が設けられ、前記画素部の駆動回路からの信号が前記画素領域に入力するように接続されており、

前記メモリ部に格納された画像データを基に画像を表示する機能を有することを特徴とする半導体装置。

【請求項 3】

請求項 2において、前記第 2 の基板は前記第 1 の基板と同じ厚さを有することを特徴とする半導体装置。

【請求項 4】

請求項 2 または請求項 3において、前記第 2 の基板は前記第 1 の基板と同じ材料を有することを特徴とする半導体装置。

【請求項 5】

請求項 2において、前記第 2 の基板は絶縁表面を有する基板、S O I 基板またはシリコン基板のうちの 1 つであることを特徴とする半導体装置。

【請求項 6】

TOKYO ELECTRON LTD.

画素部と、データ線側駆動回路と、走査線側駆動回路と、メモリ部と、を少なくとも備えた半導体装置であって、

前記画素部は第1の基板上に形成されており、

前記データ線側駆動回路と前記メモリ部とは第2の基板上に形成されており、

前記走査線側駆動回路は第3の基板上に一体形成されており、

前記第1の基板上の前記画素部以外の領域に前記第2の基板と前記第3の基板とが設けられ、前記データ線側駆動回路からの信号と前記走査線側駆動回路からの信号とが前記画素領域に入力するように接続されており、

前記メモリ部に格納された画像データを基に画像を表示する機能を有することを特徴とする半導体装置。

#### 【請求項7】

請求項6において、前記第2の基板と前記第3の基板とは、前記第1の基板と同じ厚さを有することを特徴とする半導体装置。

#### 【請求項8】

請求項6または請求項7において、前記第2の基板と前記第3の基板とは、前記第1の基板と同じ材料を有することを特徴とする半導体装置。

#### 【請求項9】

請求項6において、前記第2の基板と前記第3の基板とは、絶縁表面を有する基板、SOI基板またはシリコン基板のうちの1つであることを特徴とする半導体装置。

#### 【請求項10】

請求項1乃至請求項9のいずれか1項において、前記半導体装置は前記メモリ部に格納された画像データを基に静止画像を表示する機能を有することを特徴とする半導体装置。

#### 【請求項11】

請求項1乃至請求項10のいずれか1項において、前記半導体装置はメモリ制御回路を備えており、

前記メモリ制御回路と前記メモリ部とは同一基板上に形成されることを特徴とする半導体装置。

**【請求項 1 2】**

請求項 1 乃至請求項 1 1 のいずれか 1 項において、前記半導体装置は、画像の表示を行う機能を有する第 1 の領域と、画像データを前記第 1 の領域に供給する機能を有する第 2 の領域とからなり、

前記第 1 の領域は、前記画素部を形成する基板を含んでおり、

前記半導体装置は、前記第 2 の領域が供給する画像データを基に画像を表示する第 1 の表示方法と、前記第 1 の領域に設けられたメモリ部に格納された画像データを基に画像を表示する第 2 の表示方法と、を備えていることを特徴とする半導体装置。

**【請求項 1 3】**

請求項 1 2 に記載の半導体装置であって、前記第 2 の表示方法によって前記半導体装置が消費する電力は、前記第 1 の表示方法によって前記半導体装置が消費する電力の 70 [%]以下であることを特徴とする半導体装置。

**【請求項 1 4】**

請求項 1 2 に記載の半導体装置であって、前記第 2 の表示方法を行う場合に、前記半導体装置が消費する電力の 50 [%]以上は、前記第 1 の領域で消費されることを特徴とする半導体装置。

**【請求項 1 5】**

請求項 1 2 に記載の半導体装置であって、前記第 2 の表示方法を行う場合に、前記半導体装置が消費する電力の 90 [%]以上は、前記第 1 の領域で消費されることを特徴とする半導体装置。

**【請求項 1 6】**

請求項 1 2 に記載の半導体装置において、前記第 1 の表示方法は、前記第 2 の領域に設けられた C P U によって制御され、

前記第 2 の表示方法は、前記第 1 の領域に設けられた制御回路によって制御され、

前記第 2 の表示方法は、前記 C P U の電源を停止した状態で行うことができることを特徴とする半導体装置。

**【請求項 1 7】**

画像の表示を行う機能を有する第1の半導体装置と、画像データを前記第1の半導体装置に供給する機能を有する第2の半導体装置と、からなる半導体装置群であって、

前記第1の半導体装置は、請求項1乃至請求項11のいずれか1項に記載の半導体装置であって、

前記半導体装置群は、前記第2の半導体装置が供給する画像データを表示する第1の表示方法と、前記第1の半導体装置が有するメモリ部に格納された画像データを基に画像を表示する第2の表示方法と、を備えていることを特徴とする半導体装置群。

#### 【請求項18】

請求項17に記載の半導体装置群において、前記第2の表示方法によって前記半導体装置群全体が消費する電力は、前記第1の表示方法によって前記半導体装置群全体が消費する電力の70[%]以下であることを特徴とする半導体装置群。

#### 【請求項19】

請求項17に記載の半導体装置群であって、前記第2の表示方法を行う場合に、前記半導体装置群全体が消費する電力の50[%]以上は、前記第1の半導体装置によって消費されることを特徴とする半導体装置。

#### 【請求項20】

請求項17に記載の半導体装置群であって、前記第2の表示方法を行う場合に、前記半導体装置群全体が消費する電力の90[%]以上は、前記第1の半導体装置によって消費されることを特徴とする半導体装置。

#### 【請求項21】

請求項17に記載の半導体装置群において、前記第2の表示方法は、前記第1の半導体装置単独で行うことができることを特徴とする半導体装置群。

#### 【請求項22】

請求項1乃至請求項21のいずれか1項において、前記メモリ部は100[kbit]～10[Gbit]の記憶容量を有することを特徴とする半導体装置。

#### 【請求項23】

請求項1乃至請求項21のいずれか1項において、前記メモリ部は1[Mbit]～

整理番号 =

128 [Mbit]の記憶容量を有することを特徴とする半導体装置。

【請求項 24】

請求項 1 乃至 請求項 21 のいずれか 1 項において、前記メモリ部は、 S R A M 、 D R A M 、 または E E P R O M のいずれか 1 つによって構成されることを特徴とする半導体装置。

【請求項 25】

請求項 1 乃至 請求項 21 のいずれか 1 項において、前記メモリ部は、 S R A M 、 D R A M 、 または E E P R O M の組み合わせによって構成されることを特徴とする半導体装置。

【請求項 26】

請求項 1 乃至 請求項 25 のいずれか 1 項において、前記半導体装置はアクティブマトリクス型液晶表示装置、パッシブマトリクス型液晶表示装置、アクティブマトリクス型 E L 表示装置、或いはパッシブマトリクス型 E L 表示装置のうちのいずれか 1 つであることを特徴とする半導体装置。

【請求項 27】

請求項 1 乃至 請求項 25 のいずれか 1 項において、前記半導体装置とは、ディスプレイ、ビデオカメラ、ヘッドマウントディスプレイ、 D V D プレーヤー、ゴーグル型ディスプレイ、パソコンコンピュータ、携帯電話、カーオーディオから選ばれた一つであることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】

本願発明は画素部と画素部の駆動回路とメモリ部とを有する半導体装置に関する。

特に、画素部と画素部の駆動回路とメモリ部が同一基板上に一体形成された半導体表示装置、画素部を形成する第 1 の基板上に、画素部の駆動回路とメモリ部が一体形成された第 2 の基板を実装した半導体表示装置、及びこのような半導体表示装置を搭載した電子機器に関する。

【0002】

なお、本明細書において、半導体装置とは、半導体特性を利用することで機能する装置全般を指し、例えば、液晶表示装置およびE L表示装置に代表される半導体表示装置および半導体表示装置を搭載した電子機器をその範疇に含む。半導体表示装置を搭載した電子機器と同義で、半導体表示装置を搭載した半導体装置という言葉も用いる。また、本明細書において、ステッイクドライバ（またはステッイク回路）とは、ガラス基板、SOI基板、Si基板などを用いて多数の回路を形成した後、その基板を少なくとも一つの回路を含む小片に切り出したものを言う。

### 【0003】

#### 【従来の技術】

近年の半導体装置、特に、半導体表示装置を搭載した電子機器の発展はめざましく、その応用例は、ノートパソコン、携帯電話を始めとする携帯機器、液晶テレビ、液晶ディスプレイ等、様々である。また、自発光層を備えた半導体表示装置（代表的には、E L表示装置）に関する研究開発も盛んに行われている。半導体表示装置は、従来のC R Tと比較して軽量薄型化が可能であり、消費電力が小さいこと（特に液晶表示装置）を特徴とする。

### 【0004】

従来の半導体表示装置としては、薄膜トランジスタ（以下、T F Tという）をマトリクス状に配置した画素部を有するアクティブマトリクス型の半導体表示装置と、液晶層または自発光層を挟んで上下に、ストライプ状の電極を互いにクロスするように形成した画素部を有するパッシブマトリクス型の半導体表示装置とが知られている。アクティブマトリクス型の半導体表示装置は、さらに、ポリシリコン膜を用いたT F Tによって画素部を構成するものと、アモルファスシリコン膜を用いたT F Tによって画素部を構成するものがある。ポリシリコン膜を用いたアクティブマトリクス型の表示装置では、アモルファスシリコン膜を用いた場合と比較して、T F Tの電界効果移動度が高く、高速動作が可能であるため、画素部と画素部の駆動回路とを同一の基板上に形成することが可能となっている。一方、アモルファスシリコン膜を用いたアクティブマトリクス型の表示装置やパッシブマトリクス型の表示装置では、駆動回路を画素部を形成する基板上に一

体形成することは困難であり、シリコン基板上に画素部の駆動回路を形成したステイックドライバを、画素部を形成する基板上に実装した構成となっている。

#### 【0005】

なお、本願明細書において、薄膜トランジスタ（TFT）とは、SOI技術を用いて形成されるトランジスタの全体を指す。勿論、それらは、絶縁表面を有する基板上に形成されたものであっても、SOI基板上に形成されたものであっても構わない。

#### 【0006】

従来の半導体表示装置を搭載した電子機器において、画像が表示されるまでの信号処理工程について簡単に説明する。図3は、そのような電子機器において画像の表示に関する部分のブロック図を示したものである。

#### 【0007】

図3において、半導体装置301は、画像データを取り込み、または作成して、画像データの加工とフォーマット変換を行い、画像を表示する装置である。半導体装置301としては、例えば、ビデオカメラ、カーナビゲーション、パソコン用コンピュータ等を考えることができる。

#### 【0008】

半導体装置301は、入力端子311、第1の制御回路312、第2の制御回路313、CPU314、第1のメモリ315、第2のメモリ316、及び半導体表示装置302によって構成される。入力端子311からは、それぞれの電子機器に応じて、画像データの基となるデータが入力される。例えば、放送受信機ではアンテナからの入力データであり、ビデオカメラではCCDからの入力データである。DVテープやメモリーカードからの入力データであってもよい。入力端子311から入力されたデータは、第1の制御回路312によって画像信号に変換される。第1の制御回路312では、MPEG規格やテープフォーマット等に従って圧縮符号化された画像データの復号処理、画像の補間やりサイズといった画像信号処理が行われる。第1の制御回路312から出力された画像信号や、CPU314が作成または加工した画像信号は、第2の制御回路313に入力され、半導体表示装置302に適したフォーマット（例えば走査フォーマット等）

に変換される。第2の制御回路313からは、フォーマット変換された画像信号と制御回路が出力される。

#### 【0009】

CPU314は、第1の制御回路312、第2の制御回路313および他のインターフェース回路における信号処理を効率良く制御する。また、画像データを作成したり、加工したりする。第1のメモリ315は、第1の制御回路312から出力される画像データや第2の制御回路313から出力される画像データを格納するメモリ領域、CPUによる制御を行う際のワークメモリ領域、CPUによって画像データを作成する際のワークメモリ領域、等として用いられる。第1のメモリ315としては、DRAMやSRAMが用いられる。第2のメモリ316は、CPU314によって画像データを作成または加工する場合に必要となる、色データや文字データを格納するメモリ領域であり、マスクROMやEPROMによって構成される。

#### 【0010】

半導体表示装置302は、データ線側駆動回路317、走査線側駆動回路318、画素部319によって構成される。データ線側駆動回路317は第2の制御回路313から画像信号と制御信号（クロック信号、スタートパルス）を、走査線側駆動回路318は第2の制御回路313から制御信号（クロック信号、スタートパルス）をそれぞれ受け取り、画素部319において画像を表示する。

#### 【0011】

以上のようにして、半導体装置301は画像データを取り込み、または作成して、画像を表示するが、このような半導体装置は、2つの独立した半導体装置と考えることもできる。2つの独立した半導体装置は、図4に示すようなブロック図によって表すことができる。図4において、半導体装置401からは、第2の制御回路を介して、色信号、輝度信号、画質調整用の信号といった一般的なフォーマットの画像信号と制御信号が出力される。半導体装置401から出力された画像信号と制御信号は、半導体装置402に入力され、制御回路422によって半導体表示装置403に適したフォーマットの画像信号とクロック信号、スタートパルスといった制御信号に変換される。そして半導体表示装置403は、制御

回路 422 から画像信号と制御信号を受け取り、画像の表示を行う。なお、制御回路 422 は、画素部 425 とは別のチップで構成される。半導体装置 401 としては、例えば放送受信機、ゲーム機を、また、半導体装置 402 としては、例えば液晶ディスプレイ、E-Lディスプレイを考えることができる。

#### 【0012】

##### 【発明が解決しようとする課題】

半導体表示装置の大面積化が進み、また、半導体表示装置を搭載した携帯型の電子機器が広く普及するなかで、半導体装置の消費電力を低く抑えることは重要な課題となっている。

#### 【0013】

例えば、従来の半導体表示装置を搭載した半導体装置において、静止画像を表示する場合を考える。図 3 に示した半導体装置のブロック図に従って静止画像を表示する場合、C.P.U 314 は、静止画像データを格納している第 1 のメモリ 315 から画像データを読み出し、第 2 の制御回路 313 でフォーマット変換等を行う。第 2 の制御回路 313 から出力された画像信号と制御信号は、半導体表示装置 302 に入力され、画素部 319 において表示が行われる。

#### 【0014】

このように、静止画像を表示する場合においても、データの転送量や、C.P.U や制御回路が行う手続きは多く、動画像表示と同程度の電力が消費されることがわかる。同様のことは、図 4 に示した 2 つの半導体装置のブロック図にもあてはまる。

#### 【0015】

本願発明では、特に静止画像を表示する場合に、消費電力を低く抑えることができる半導体装置を提供することを課題とする。

#### 【0016】

##### 【課題を解決するための手段】

上述したように、従来の半導体装置では、静止画像を表示する場合に、動画像表示と同程度の電力が消費される。これは、画像データを保持するメモリが半導体表示装置の外部に設けられているためである。この場合、静止画像であっても、

整理番号＝

動画像であっても、常に画像データを半導体表示装置へ供給することが必要となり、データ転送量や画像データに対する手続きの量は同程度となってしまう。そのため、従来の半導体装置では、静止画像を表示する際の消費電力を大幅に削減することは困難であった。

#### 【0017】

本願発明では、上記課題を解決するために、画素部を形成する基板上にメモリ部を実装し、該メモリ部に格納した画像データを用いて静止画像を表示する。そして、半導体表示装置の外部からの信号の転送量を減らし、かつ、半導体表示装置の外部に設けられている回路（C P U等）への負担を軽減することによって、消費電力を大幅に削減する。

#### 【0018】

本願発明では、メモリ部を画素部を形成する基板上に実装する形態として、メモリ部、画素部および画素部の駆動回路を同一基板上に一体形成する形態と、メモリ部と画素部の駆動回路とを同一基板上に一体形成したスティックドライバを、画素部を形成する基板上に実装する形態と、を考える。メモリ部、画素部および画素部の駆動回路を同一基板上に一体形成する形態は、主として、ポリシリコン膜を用いたT F Tによって構成されるアクティブマトリクス型の半導体表示装置に用いられる。また、メモリ部と画素部の駆動回路とを同一基板上に一体形成したスティックドライバを、画素部を形成する基板上に実装する形態は、主として、アモルファスシリコン膜を用いたT F Tによって構成されるアクティブマトリクス型の半導体表示装置、およびパッシブマトリクス型の半導体表示装置に用いられる。

#### 【0019】

本願発明では、静止画像を表示する際に、画素部を形成する基板上に実装したメモリ部に格納した画像データを用いることができる。その結果、画像を表示する手続きの殆どを画素部を形成する基板上で行うことが可能となり、電力の消費は、従来のように半導体装置全体ではなく、主に画素部を形成する基板上で行われる。

#### 【0020】

整理番号 =

その場合、消費電力は、画素部を形成する基板の外部から画像データを入力して表示する場合と比較して、70[%]以下とすることも可能である。また、画素部を形成する基板上で消費される電力が、全体の50[%]以上（好ましくは90[%]以上）とすることも可能である。画素部を形成する基板の外部からは簡単な制御信号を必要とするだけであり、場合によっては、半導体表示装置の外部に設けられた多くの回路（CPUを含む）において、電源を停止することも可能である。このようにして、従来の半導体装置と比較して、消費電力を大幅に抑えることが可能となる。なお、外部からの制御信号としては、クロック信号やスタートパルス、及びメモリのアドレスや読み出しに関する信号等が含まれる。

#### 【0021】

本願発明の半導体装置、画素部を形成する基板上にメモリ制御回路を実装することは好ましい。この場合、メモリ制御回路は、メモリ部と同一基板上に形成するとよい。つまり、ステイックドライバによってメモリを実装する場合には、ステイックドライバを構成する基板上にメモリ制御回路を形成し、またメモリ部を画素部と同一基板上に形成する場合には、画素部と同一基板上にメモリ制御回路を形成する。

#### 【0022】

その結果、静止画像を表示する場合、メモリ制御回路でメモリのアドレスに関する計算等を行うことによって、画素部を形成する基板へ入力される制御信号をさらに軽減することができる。その結果、消費電力はさらに低く抑えられる。

#### 【0023】

このようにして、低消費電力で静止画像を表示することができる半導体表示装置、および半導体表示装置を搭載した半導体装置が提供される。

#### 【0024】

なお、メモリ部は、その用途から、メモリ全体で少なくとも一つの静止画像全体を格納するだけの記憶容量を有することが必要である。複数の静止画像を格納できる記憶容量を有することはさらに望ましい。可能であれば、短時間の動画像を格納できる記憶容量を有することも好ましい。

#### 【0025】

整理番号=

メモリ部を構成するメモリとしては、SRAM、DRAMまたはEEPROMのいずれであってもよい。また、メモリ部を、SRAM、DRAMおよびEEPROMの組み合わせによって構成してもよい。

#### 【0026】

この他、ステイックドライバを形成する基板は、シリコン基板、SOI基板および絶縁表面を有する基板のいずれであってもよい。特に、ステイックドライバを形成する基板を、画素部を形成する基板と同じ厚さおよび同じ材質とすることは好ましい。また、画像信号が入力されるのは、画素部の駆動回路のうちデータ線側駆動回路だけであるため、ステイックドライバを用いてメモリと駆動回路を実装する場合には、データ線側駆動回路を備えたステイックドライバ（データ線側ステイックドライバ）にだけメモリ部を内蔵してもよい。例えば、ガラス基板を用いたステイックドライバの作製方法としては、Yamazaki et al. U.S. Patent No. 5,821,138やYamazaki et al. U.S. Patent 6,118,502の開示内容を参照することにより、ここに盛り込むこととする。

#### 【0027】

以下に、本願発明の構成を示す。

#### 【0028】

画素部と、画素部の駆動回路と、メモリ部と、を少なくとも備えた半導体装置であって、

前記画素部と、前記画素部の駆動回路と、前記メモリ部と、は同一基板上に一体形成され、

前記メモリ部に格納された画像データを基に画像を表示する機能を有することを特徴とする半導体装置が提供される。

#### 【0029】

画素部と、画素部の駆動回路と、メモリ部と、を少なくとも備えた半導体装置であって、

前記画素部は第1の基板上に形成されており、

前記画素部の駆動回路と前記メモリ部とは第2の基板上に一体形成されており

前記第1の基板上の前記画素部以外の領域に前記第2の基板が設けられ、前記画素部の駆動回路からの信号が前記画素領域に入力するように接続されており、前記メモリ部に格納された画像データを基に画像を表示する機能を有することを特徴とする半導体装置が提供される。

【0030】

前記第2の基板は前記第1の基板と同じ厚さを有していてもよい。

【0031】

前記第2の基板は前記第1の基板と同じ材料を有していてもよい。

【0032】

前記第2の基板は絶縁表面を有する基板、S O I 基板またはシリコン基板のうちの1つであってもよい。

【0033】

画素部と、データ線側駆動回路と、走査線側駆動回路と、メモリ部と、を少なくとも備えた半導体装置であって、

前記画素部は第1の基板上に形成されており、

前記データ線側駆動回路と前記メモリ部とは第2の基板上に一体形成されており、

前記走査線側駆動回路は第3の基板上に一体形成されており、

前記第1の基板上の前記画素部以外の領域に前記第2の基板と前記第3の基板とが設けられ、前記データ線側駆動回路からの信号と前記走査線側駆動回路からの信号とが前記画素領域に入力するように接続されており、

前記メモリ部に格納された画像データを基に画像を表示する機能を有することを特徴とする半導体装置が提供される。

【0034】

前記第2の基板と前記第3の基板とは、前記第1の基板と同じ厚さを有していてもよい。

【0035】

前記第2の基板と前記第3の基板とは、前記第1の基板と同じ材料を有していてもよい。

整理番号 =

【0036】

前記第2の基板と前記第3の基板とは、絶縁表面を有する基板、S O I 基板またはシリコン基板のうちの1つであってもよい。

【0037】

前記半導体装置は前記メモリ部に格納された画像データを基に静止画像を表示する機能を有していてもよい。

【0038】

前記半導体装置はメモリ制御回路を備えており、

前記メモリ制御回路と前記メモリ部とは同一基板上に一体形成されていてもよい。

【0039】

前記半導体装置は、画像の表示を行う機能を有する第1の領域と、画像データを前記第1の領域に供給する機能を有する第2の領域とからなり、

前記第1の領域は、前記画素部を形成する基板を含んでおり、

前記半導体装置は、前記第2の領域が供給する画像データを基に画像を表示する第1の表示方法と、前記第1の領域に設けられたメモリ部に格納された画像データを基に画像を表示する第2の表示方法と、を備えていてもよい。

【0040】

前記第2の表示方法によって前記半導体装置が消費する電力は、前記第1の表示方法によって前記半導体装置が消費する電力の70[%]以下であってもよい。

【0041】

前記第2の表示方法を行う場合に、前記半導体装置が消費する電力の50[%]以上は、前記第1の領域で消費されてもよい。

【0042】

前記第2の表示方法を行う場合に、前記半導体装置が消費する電力の90[%]以上は、前記第1の領域で消費されてもよい。

【0043】

前記第1の表示方法は、前記第2の領域に設けられたC P Uによって制御され、

前記第2の表示方法は、前記第1の領域に設けられた制御回路によって制御され、

前記第2の表示方法は、前記C P Uの電源を停止した状態で行うことができてもよい。

#### 【0044】

画像の表示を行う機能を有する前記半導体装置（第1の半導体装置）と、画像データを前記第1の半導体装置に供給する機能を有する半導体装置（第2の半導体装置）と、からなる半導体装置群であって、

前記半導体装置群は、前記第2の半導体装置が供給する画像データを表示する第1の表示方法と、前記第1の半導体装置が有するメモリ部に格納された画像データを基に画像を表示する第2の表示方法と、を備えていることを特徴とする半導体装置群が提供される。

#### 【0045】

前記第2の表示方法によって前記半導体装置群全体が消費する電力は、前記第1の表示方法によって前記半導体装置群全体が消費する電力の70[%]以下であってもよい。

#### 【0046】

前記第2の表示方法を行う場合に、前記半導体装置群全体が消費する電力の50[%]以上は、前記第1の半導体装置によって消費されてもよい。

#### 【0047】

前記第2の表示方法を行う場合に、前記半導体装置群全体が消費する電力の90[%]以上は、前記第1の半導体装置によって消費されてもよい。

#### 【0048】

前記第2の表示方法は、前記第1の半導体装置単独で行うことができてもよい。

。

#### 【0049】

前記メモリ部は100[kbit]～10[Gbit]の記憶容量を有することが好ましい。

。

#### 【0050】

前記メモリ部は 1 [Mbit]～128 [Mbit] の記憶容量を有することがより好ましい。

#### 【0051】

前記メモリ部は、 S R A M、 D R A M、 または E E P R O M のいずれか 1 つに よって構成されていてもよい。

#### 【0052】

前記メモリ部は、 S R A M、 D R A M、 または E E P R O M の組み合わせによ って構成されていてもよい。

#### 【0053】

前記半導体装置はアクティブマトリクス型液晶表示装置、パッシブマトリクス 型液晶表示装置、アクティブマトリクス型 E L 表示装置、或いはパッシブマトリ クス型 E L 表示装置のうちのいずれか 1 つであってもよい。

#### 【0054】

前記半導体装置とは、ディスプレイ、ビデオカメラ、ヘッドマウントディスプ レイ、D V D プレーヤー、ゴーグル型ディスプレイ、パソコンコンピュータ、 携帯電話、カーオーディオから選ばれた一つであってもよい。

#### 【0055】

##### 【発明の実施の形態】

本願発明の特徴は、半導体装置において、画素部を形成する基板上にメモリ部 を実装することにより、低消費電力で静止画像または短時間の動画像が表示でき る点にある。本実施の形態では、半導体表示装置を搭載した半導体装置のプロッ ク図と、画像を表示するまでの画像データの流れについて簡単に説明を行う。な お、メモリ部、駆動回路、および画素部といった本願発明を構成する各プロック の詳細（回路構成等）についての説明は実施例を参照することができる。

#### 【0056】

説明には、図 1 および図 2 を用いる。図 1 は画素部を形成した基板上にメモリ 部を一体形成した半導体装置のプロック図であり、図 2 は画素部を形成した基板 上に、メモリ部を備えたスティックドライバを実装した半導体装置のプロック図 である。

**【0057】**

まず、図1を参照する。半導体装置101は、入力端子111、第1の制御回路112、第2の制御回路113、CPU114、第1のメモリ115、第2のメモリ116、及び半導体表示装置102によって構成される。また、半導体表示装置102は、メモリ部120、データ線側駆動回路117、走査線側駆動回路118、および画素部119によって構成される。メモリ部120、データ線側駆動回路117、走査線側駆動回路118、および画素部119は全て同一基板上に形成されている。

**【0058】**

半導体装置101において、半導体表示装置102を除いた部分は、図3に示した半導体装置（従来の技術を参照）と同様であるため、その部分の説明は省略する。ただし、第2の制御回路からの出力信号には、従来の技術で述べた画像信号と制御信号（クロック信号、スタートパルス等）以外に、メモリ部を制御する制御信号（メモリのアドレス、書き込み、読み出しに関する信号）が含まれる。

**【0059】**

画像（特に、動画像）を表示する際には、半導体表示装置102には画像信号と制御信号が入力される。まず、メモリ部へは画像信号及びメモリのアドレスや書き込み、読み出しに関する制御信号が入力され、画像信号はメモリ部120に格納される。メモリ部120に格納された画像データは制御信号によって再び読み出され、データ線側駆動回路117に送られる。同時に、データ線側駆動回路117と走査線側駆動回路118には、クロック信号やスタートパルスといった制御信号が入力され、画素部119においてメモリ部120から読み出された画像信号が表示される。

**【0060】**

静止画像を表示する場合には、半導体表示装置102へは制御信号だけが入力される。そしてメモリのアドレス、書き込み、読み出しに関する制御信号に従つて、メモリ部120に格納された画像データが読み出され、データ線側駆動回路117に送られる。同時に、データ線側駆動回路117と走査線側駆動回路118には、クロック信号やスタートパルスといった制御信号が入力され、画素部119においてメモリ部120から読み出された画像信号が表示される。

19においてメモリ部120から読み出された画像信号を表示する。

### 【0061】

このように本願発明では、静止画像を表示する場合、画素部を形成する基板上に実装したメモリ部に格納された画像データを用いることができる。その結果、上述したように、画素部を形成する基板の外部からは簡単な制御信号が必要となるだけであり、画像信号を半導体表示装置の外部から送るといった、多量のデータ転送は不要となる。そして、画素部を形成する基板の外部において消費される電力を大幅に削減することができる。場合によっては、消費電力を、画素部を形成する基板の外部から画像データを入力して表示する場合と比較して、70[%]以下とすることも可能である。また、画素部を形成する基板上で消費される電力が、全体の50[%]以上（好ましくは90[%]以上）とすることも可能である。さらに半導体装置101において、半導体表示装置102と第2の制御回路113を除く回路（第1の制御回路112、第1のメモリ115、第2のメモリ116、C P U 114）の全て或は一部分は、完全に電源を停止することも可能である。このようにして、従来の半導体装置と比較して、消費電力を大幅に抑えることが可能となる。

### 【0062】

また本願発明では、画素部を形成する基板上にメモリ制御回路を一体形成してもよい（実施例1参照）。このような構成とし、画素を形成する基板上でメモリ制御回路でメモリのアドレスに関する簡単な計算を行うことによって、静止画像を表示する場合に半導体表示装置に入力される制御信号はさらに簡単なものとなる。そして消費電力はさらに低く抑えられる。

### 【0063】

なお、図1に示したメモリ部と画素部と画素部の駆動回路を一体形成した半導体表示装置は、主として、ポリシリコン膜を用いたTFTによって構成されるアクティブマトリクス型の表示装置に用いられる。表示装置としては、液晶表示装置であっても、自発光層を有する表示装置（代表的には、E L表示装置）であってもよい。アクティブマトリクス型液晶表示装置の例としては実施例3、4を、また、アクティブマトリクス型E L表示装置の例としては実施例6、7を参照す

ることができる。

#### 【0064】

次に図2を参照する。半導体装置201は、入力端子211、第1の制御回路212、第2の制御回路213、CPU214、第1のメモリ215、第2のメモリ216、及び半導体表示装置202によって構成される。

半導体装置201は、半導体表示装置202を除いて、図1に示した半導体装置101と同様であり、第2の制御回路からは、画像信号と制御信号（クロック信号、スタートパルス等）以外に、メモリ部を制御する制御信号（メモリのアドレス、書き込み、読み出しに関する信号）が出力される。

#### 【0065】

また、半導体表示装置202は、メモリ部とデータ線側駆動回路の組（220a、217a）、（220b、217b）、（220c、217c）をそれぞれ同一基板上に形成したデータ線側ステイックドライバ（波線で囲んだ部分）222a、222b、222c、走査線側駆動回路218a、218bをそれぞれ備えた走査線側ステイックドライバ（波線で囲んだ部分）221a、221b、及び画素部219によって構成される。ステイックドライバは、画素部を形成する基板上に実装される。

#### 【0066】

そして、半導体表示装置102と同様に、動画像を表示する際には画像信号と制御信号が、静止画像を表示する際には制御信号だけが、それぞれ入力され、画素部219において画像が表示される。なお、半導体表示装置202は、画素部の駆動回路とメモリ部が複数個のステイックドライバによって、分割されているため、半導体装置202に入力された信号は、それぞれのステイックドライバに送られる。例えば、静止画像を表示する際には、それぞれのデータ線側ステイックドライバに、メモリのアドレスや書き込み、読み出しに関する制御信号（メモリ部に入力される）、およびクロック信号やスタートパルスといった制御信号（データ線側駆動回路に入力される）が入力され、それぞれの走査線側ステイックドライバに、クロック信号やスタートパルスといった制御信号（走査線側駆動回路に入力される）が入力される。

## 【0067】

このように、スティックドライバによってメモリを実装した本実施の形態においても、静止画像を表示する場合、画素部を形成する基板の外部からは、簡単な制御信号を入力するだけでよく、画像信号を半導体表示装置の外部から送るといった、多量のデータ転送に伴う消費電力は大幅に減少する。場合によっては、消費電力を、画素部を形成する基板の外部から画像データを入力して表示する場合と比較して、70[%]以下とすることも可能である。また、画素部を形成する基板上で消費される電力が、全体の50[%]以上（好ましくは90[%]以上）とすることも可能である。さらに半導体装置201において、半導体表示装置202と第2の制御回路213を除く回路（第1の制御回路212、第1のメモリ215、第2のメモリ216、CPU214）の全て或は一部分は、完全に電源を停止することも可能である。このようにして、従来の半導体装置と比較して、消費電力を大幅に抑えることが可能となる。

## 【0068】

また、スティックドライバを形成する基板上にメモリ制御回路を一体形成してもよい（実施例1参照）。スティックドライバ内に設けたメモリ制御回路でメモリのアドレスに関する簡単な計算を行うことによって、静止画像を表示する場合に、画素部を形成する基板へ入力される制御信号はさらに簡単なものとなり、消費電力はさらに低く抑えられる。

## 【0069】

なお、図2に示したメモリ部と画素部の駆動回路を有するスティックドライバを実装した半導体表示装置は、主として、アモルファスシリコン膜を用いたTFTによって構成されるアクティブマトリクス型の表示装置や、パッシブマトリクス型の表示装置に用いられる。（しかし、これらに限定されるわけではない。）表示装置としては、液晶表示装置であっても、自発光層を有する表示装置（代表的には、EL表示装置）であってもよい。アクティブマトリクス型液晶表示装置の例としては実施例3、5を、アクティブマトリクス型EL表示装置の例としては実施例6、8を、パッシブマトリクス型の表示装置の例としては実施例9を参考することができる。

**【0070】**

なお、スティックドライバを形成する基板は、シリコン基板であっても、S O I 基板であっても、絶縁表面を有する基板であってもかまわない。シリコン基板上またはS O I 基板上に形成されたスティックドライバは小型で高特性である。また、スティックドライバを、画素部を形成する基板と同じ材料の基板上に形成すること、液晶表示装置において、対向基板と同じ厚さの基板上に形成すること、は以下の点で好ましい。まず同じ材料である場合には、熱膨張率が同じであるため、表示装置に温度変化が生じても熱応力が生じることなく、T F T で作製された回路の特性が損なわれることがない。また、液晶表示装置の対向基板とスティックドライバを形成する基板が同じ厚さを有することにより、半導体表示装置全体としての薄型化に寄与することができる。スティックドライバを実装する形態については、実施例5、8を参照することができる。

**【0071】**

本願発明では、このようにメモリ部を画素部を形成する基板上に実装する。本願発明によって、静止画像を表示する場合に消費電力を低く抑えることができる半導体表示装置、および半導体表示装置を搭載した半導体装置が提供される。

**【0072】**

なお、メモリ部は、その用途から、メモリ全体で少なくとも一つの静止画像全体を格納するだけの記憶容量を有することが必要である。複数の静止画像を格納できる記憶容量を有することはさらに望ましい。可能であれば、短時間の動画像を格納できる記憶容量を有することも好ましい。

**【0073】**

例えば、階調表示を行わない白黒のE G A 規格の表示装置では一つの静止画像を表示するのに約256 [kbit]のデータが必要である。また、R G B フルカラーのU X G A 規格の表示装置において、画像信号として6 [bit]のデジタル信号を用いる場合には、一つの静止画像を表示するのに約40 [Mbit]のデータが必要となる。また、同様の表示装置において、1秒間に60 フレームとして1分程度の動画像を表示する場合にはおよそ10 [Gbit]のデータが必要となる。また、スティックドライバを実装する半導体表示装置においては、複数個のスティックドラ

イバでデータ線側駆動回路の全体を構成するため、個々のスティックドライバに内蔵するメモリ部の容量は一つの静止画像データの容量より小さくてもよい。これらのこと考慮すると、メモリ部の容量は100[kbit]以上であることが好ましい。また、動画像を格納することを考慮した場合には、10[Gbit]程度の記憶容量を有することが好ましい。勿論、さらに大きな記憶容量を有していてもよい。また、XGA規格やUXGA規格の表示装置において、1～数十枚の静止画像のデータとワーク領域とを考慮した場合には、メモリ部の容量が1[Mbit]～128[Mbit]であることが望ましい。

#### 【0074】

メモリ部を構成するメモリとしては、SRAM、DRAMまたはEEPROMのいずれであってもよい。SRAMは動作速度が非常に速いが集積密度が低く、DRAMは、動作速度がSRAMに劣るが集積密度はSRAMより高い。また、EEPROMは、動作速度がさらに遅いが集積密度が非常に高い、という特徴を有する。これらメモリ部を構成するメモリの例は、実施例10～13を参照することができる。

#### 【0075】

また、メモリ部をSRAM、DRAMおよびEEPROMの組み合わせによって構成してもよい。例えば、動作速度の速いSRAMと、集積密度の高いEEPROMからなるメモリ部を設け、SRAMを一時的にデータを格納するバッファとして、またEEPROMをメインメモリとして使用することも可能である（実施例14参照）。

#### 【0076】

なお、メモリ部に格納する画像データはデジタル信号であるので、入力される画像信号がアナログ信号である場合には、必要に応じてD/Aコンバータ若しくはA/Dコンバータを設ける必要がある。その場合、D/Aコンバータ若しくはA/Dコンバータはメモリ部を形成する基板上に一体形成することが望ましい。

#### 【0077】

本実施の形態では、データ線側スティックドライバのみにメモリ部を設ける構成としたが、走査線側スティックドライバ内にメモリ部を設けても構わない。例

整理番号 =

えば、駆動方法が複雑な場合には、走査線側の駆動信号に関する情報をこのメモリ部に格納することができる。

#### 【0078】

本実施の形態では、画像を表示する際に、画像信号をいったんメモリ部に格納した後、画像を表示する構成としたが、本願発明はこれに限定されない。画像信号をメモリ部とデータ線側駆動回路に同時に入力してもよいし、制御信号によってこれらのモードを切り替えるてもよい。

#### 【0079】

(実施例 1)

本願発明において、画素部を形成する基板上にメモリ制御回路を実装することも好ましい。

#### 【0080】

図5および図6は、メモリ制御回路を有する半導体表示装置を搭載した半導体装置のブロック図である。半導体表示装置を除いた部分は、それぞれ、入力端子511、611、第1の制御回路512、612、第2の制御回路513、613、CPU514、614、第1のメモリ515、615、第2のメモリ516、616によって構成されており、実施の形態で説明した半導体装置(図1参照)と同様である。図5に示した半導体表示装置502は、メモリ制御回路517がメモリ部521、データ線側駆動回路518、走査線側駆動回路519、及び画素部520と同一基板上に一体形成している。また、図6に示した半導体表示装置602は、メモリ制御回路、メモリ部、データ線側駆動回路の組(620a、621a、617a)、(620b、621b、617b)、(620c、621c、617c)がそれぞれ一体形成されているスティックドライバ623a、623b、623cを画素部を形成する基板上に実装している。

#### 【0081】

メモリ制御回路の役割は、半導体表示装置の外部からの制御信号を削減することである。例えば、メモリのアドレスの計算を行う回路を設けることによって、半導体表示装置の外部から送られてくるメモリのアドレスに関する制御信号を簡単なものにすることができます。また、メモリ部の制御だけに限定されず、走査線

整理番号 =

側駆動回路やデータ線側駆動回路の制御信号をより簡単にするための回路を含んでいても良い。メモリ制御回路は、半導体表示装置の外部からの制御信号を簡単化できる回路であればどのような公知の回路を含んでいてもよい。

#### 【0082】

このようにメモリ制御回路を半導体表示装置、特に画素を形成する基板上に実装することによって、静止画像を表示する場合に、消費電力の小さい半導体表示装置、および半導体表示装置を搭載した半導体装置が提供される。

#### 【0083】

なお、メモリ部とメモリ制御回路と画素部と画素部の駆動回路とを一体形成した半導体表示装置（図5）は、主として、ポリシリコン膜を用いたTFTによって構成されるアクティブマトリクス型の表示装置に用いられる。また、メモリ部とメモリ制御回路と画素部の駆動回路とを有するステイックドライバを、画素部を形成する基板上に実装した半導体表示装置（図6）は、主として、アモルファスシリコン膜を用いたTFTによって構成されるアクティブマトリクス型の表示装置や、パッシブマトリクス型の表示装置に用いられる。表示装置としては、液晶表示装置であっても、自発光層を有する表示装置（代表的には、EL表示装置）であってもよい。

#### 【0084】

（実施例2）

実施の形態で説明した半導体装置（図1及び図2）は、2つの独立した半導体装置と考えることもできる。本実施例では、2つの独立した半導体装置のうち、半導体表示装置を含む半導体装置について説明を行う。説明には、図7および図8を用いる。

#### 【0085】

図7に示した半導体装置701は、入力端子711、制御回路712、半導体表示装置702によって構成される。半導体表示装置702において、メモリ部714は、画素部717、データ線側駆動回路715および走査線側駆動回路716と同一基板上に一体形成されている。一方、図8に示した半導体装置801は、入力端子803、制御回路804、半導体表示装置802によって構成され

整理番号=

る。半導体表示装置 802 は、メモリ部 820a、820b、820c とデータ線側駆動回路 817a、817b、817c を、スティックドライバによって画素部を形成する基板上に実装したものである。データ線側スティックドライバ 822a、822b、822c を構成するメモリ部及びデータ線側駆動回路（820a、817a）、（820b、817b）および（820c、817c）は、それぞれ同一基板上に形成されている。また、走査線側ドライバ回路 818a、818b も、スティックドライバ回路により形成してもよい。

#### 【0086】

本実施例に示した半導体装置は、半導体表示装置の他に、画像信号のフォーマットを変換できる制御回路を有する。図 7において、半導体装置 701 には、色信号、輝度信号、調整用の信号といった画像信号と制御信号が入力される。半導体装置 701 に入力された画像信号と制御信号は、入力端子 711 を経て制御回路 712 に入力され、半導体表示装置 702 に適した画像フォーマットに変換される。半導体装置 702 には、図 1 に示した半導体表示装置（実施の形態参照）に入力される画像信号と制御信号と同様な信号が入力され、画素部 717 において画像が表示される。半導体装置 801 においても全く同様である。なお、制御回路は、画素部とは別のチップで構成される。

#### 【0087】

このような半導体装置においても、静止画像を表示する場合、画素部を形成する基板上に実装したメモリ部に格納された画像データを用いることができるため、画像信号を半導体表示装置の外部から送るといった、多量のデータ転送に伴う消費電力を大幅に削減することができる。場合によっては、第 1 の半導体装置（701 または 801）及び、第 1 の半導体装置に画層信号と制御信号を供給する第 2 の半導体装置の全体で消費される電力は、画像データを第 2 の半導体表示装置から供給して表示する場合と比較して、70[%]以下とすることも可能である。また、第 1 の半導体表示装置で消費される電力が、全体の 50[%]以上（好ましくは 90[%]以上）とすることも可能である。さらに第 2 の半導体装置を用いずに、第 1 の半導体装置単独で静止画像を表示することも可能である。

#### 【0088】

本実施例は、液晶ディスプレイ、ELディスプレイ等に応用することができる。また、本実施例は実施例1と組み合わせができる。つまり、図7及び図8に示した半導体装置において、メモリ制御回路を半導体表示装置に実装しても良い。

#### 【0089】

(実施例3)

本実施例では、本願発明をアクティブマトリクス型液晶表示装置に応用した例について述べる。説明には図9を用いる。

#### 【0090】

図9(A)はアクティブマトリクス型液晶表示装置のブロック図である。図9(A)に示したアクティブマトリクス型液晶表示装置は、画素904がマトリクス状に配置された画素部901と、データ線側駆動回路902と、走査線側駆動回路903と、メモリ部905とを有する。また、データ線側駆動回路902にはデータ線906が接続され、走査線側駆動回路903には走査線907が接続されている。容量線908にはコモン電位が与えられている。

#### 【0091】

なお、画素部901、データ線側駆動回路902、走査線側駆動回路903およびメモリ部905は同一基板上に形成されていても良いし、データ線側駆動回路902、メモリ部905および走査線側駆動回路903が、実施の形態で説明したステイックドライバによって画素部を形成する基板上に実装されていても良い。

#### 【0092】

図9(B)は、画素部901を構成する画素904の回路図を示したものである。画素904は、スイッチング用TFT911、液晶素子914およびコンデンサ915を有し、スイッチング用TFT911のゲート電極は走査線907に、ソース・ドレイン電極の一方がデータ線906に接続されている。スイッチング用TFT911のソース・ドレイン電極の残る一方は、液晶914およびコンデンサ915に接続されている。また、液晶素子914の残る一方の電極は対向電極916に接続され、コンデンサ915の残る一方の電極は容量線908に接続される。

整理番号 =

続されている。

#### 【0093】

なお、容量線 908 を設けずに、コンデンサ 915 の電極の一方を対向電極 916 に接続しても構わない。さらに、コンデンサ 915 を設けなくても良い。また、スイッチング用 TFT 911 は n チャネル型 TFT でも p チャネル型 TFT でもよい。

#### 【0094】

本実施例は、実施例 1 および 2 のいずれの構成を組み合わせても良い。つまり、本実施例の半導体表示装置に実施例 1 で説明した制御回路を設けても良いし、本実施例の半導体表示装置を実施例 2 の半導体装置に搭載しても良い。

#### 【0095】

(実施例 4)

本実施例では、本願発明を応用したアクティブマトリクス型液晶表示装置の上面図と断面図について説明を行う。

#### 【0096】

図 10 (A) は、液晶の封入まで行った状態を示すアクティブマトリクス型液晶表示装置の上面図である。図 10 (A) において、第 1 の基板 1001 上には、画素部 1002、走査線側駆動回路 1003、データ線側駆動回路 1004、メモリ部 1005、配線 1006 が形成されている。第 1 の基板 1001 と第 2 の基板 1009 とはシール材 1008 によって貼り合わされ、シール材 1008 で囲まれた 2 つの基板の間には液晶が封入されている (図 10 (B) の液晶層 1010 を参照)。

#### 【0097】

配線 1006 は、走査線側駆動回路 1003、データ線側駆動回路 1004、メモリ部 1005、及び画素部 1002 に入力される信号を伝達するための接続配線であり、外部の半導体装置との接続端子となる FPC (フレキシブルプリントサーキット) 1007 から画像信号や制御信号を受け取る。

#### 【0098】

次に、図 10 (A) を A-A' で切断した断面に相当する断面図を図 10 (B)

整理番号＝

) に示す。なお、図10 (A) 、(B) では同一の部位に同一の符号を用いてい  
る。

#### 【0099】

図10 (B) において、第1の基板1001上には画素部1002、走査線側  
駆動回路1003、配線1006が形成されている。画素部1002は液晶層に  
印加する電圧を制御するためのTFT (スイッチング用TFTという) 、及びそ  
のドレイン領域に電気的に接続されたコンデンサ、画素電極等を含む複数の画素  
により形成されている (図示せず) 。また、走査線側駆動回路1003はnチャ  
ネル型TFTとpチャネル型TFTとを相補的に組み合わせたCMOS回路を用  
いて形成されている。また、第2の基板1009上には、カラーフィルタ、貝柱  
スペーサ、オーバーコート層、対向電極等が形成されている。

#### 【0100】

図10 (B) に示した液晶表示装置は、上述した第1の基板1001及び第2  
の基板1009をシール材1008で貼り合わせ、第1の基板1001と第2の  
基板1009とシール材1008で囲まれた領域内に液晶を注入し (液晶層10  
10の形成) 、配線1006とFPC1007を導電性材料1011を用いて電  
気的に接続したものである。

#### 【0101】

なお、液晶材料には公知の液晶材料を用いれば良い。2つの基板の間隔は、第  
2の基板に設けられた貝柱スペーサによって決まるが、ネマチック液晶の場合に  
は3～8 [μm]、スマチック液晶の場合には1～4 [μm]とする。また、シール材  
1008の露呈部及びFPC809の一部を覆うように第2のシール材を設けて  
もよい。

#### 【0102】

なお、本実施例の構成は、実施例1～3のいずれの構成とも自由に組み合わせ  
ることが可能である。

#### 【0103】

(実施例5)

本願発明は、ステイックドライバを用いたアクティブマトリクス型液晶表示装

置にも応用することができる。

#### 【0104】

図11 (A) は、液晶の封入まで行った状態を示すアクティブマトリクス型液晶表示装置の上面図である。図11 (A)において、第1の基板1101上には、画素部1102、配線1106及び引き出し線1110が形成され、また、走査線側ステイックドライバ1111a、1111b及びデータ線側ステイックドライバ1112a、1112b、1112cが実装されている。走査線側ステイックドライバ1111a、1111bは、走査線側駆動回路1103a、1103bをそれぞれ有しており、データ線側ステイックドライバ1112a、1112b、1112cは、走査線側駆動回路とメモリ部(1104a、1105a)、(1104b、1105b)及び(1104c、1105c)をそれぞれ有している。また、第1の基板1101と第2の基板1109とはシール材1108によって貼り合わされ、シール材1108で囲まれた2つの基板の間には液晶が封入されている(図11 (B) の液晶層1113を参照)。

#### 【0105】

配線1106は、走査線側ステイックドライバ1111a、1111b、データ線側ステイックドライバ1112a、1112b、1112c、及び画素部1102に入力される信号を伝達するための接続配線であり、外部の半導体装置との接続端子となるFPC(フレキシブルプリントサーキット)1107から画像信号や制御信号を受け取る。また引き出し線1110は、走査線側ステイックドライバ1111a、1111bおよびデータ線側ステイックドライバ1112a、1112b、1112cからの出力信号を画素部1102に入力するための配線である。

#### 【0106】

次に、図11 (A) をA-A'で切断した断面に相当する断面図を図11 (B) に示す。なお、図11 (A) 、(B) では同一の部位に同一の符号を用いている。

#### 【0107】

図11 (B)において、第1の基板1101上には画素部1102、配線11

06、引き出し線1110が形成され、走査線側ステイックドライバ1111aが実装されている。

#### 【0108】

このうち、2つの基板が貼り合わされている領域は、図10（B）示した断面図（実施例4参照）と同様、第1の基板1101と第2の基板1109がシール材1108によって張り合わせられ、その間には液晶層1113が形成されている。

#### 【0109】

また、配線1106の一方の端とFPC1107とは異方性導電材で接着されている。異方性導電材は樹脂1115と表面にAuなどがメッキされた数十～数百[μm]径の導電性粒子1114から成り、導電性粒子1114により配線1106とFPC1107とが電気的に接続されている。

#### 【0110】

なお、シール材1108の露呈部、FPC1107の一部、走査線側ステイックドライバ1111a、1111bの一部、及びデータ線側ステイックドライバ1112a、1112b、1112cの一部を覆うように第2のシール材を設けてもよい。

#### 【0111】

ここで、ステイックドライバとその実装方法について簡単に述べる。図11（B）には走査線側ステイックドライバ1111aの断面図が示されており、走査線側駆動回路1103aと入出力端子1116を有する。そして、走査線側ステイックドライバ1111aは、FPC1107と配線1106の接続方法と同様な方法によって実装されている。つまり、走査線側ステイックドライバ1111aは異方性導電材で第1の基板1101に接着され、走査線側ステイックドライバ1111aに設けられた入出力端子1116は、樹脂1115中に混入された導電性粒子1114により、引出線1110及び配線1106と電気的に接続されている。

#### 【0112】

上述した実装方法は、本実施例の半導体装置に実装されている全てのステイッ

整理番号＝

クドライバにも用いられる。また、スティックドライバの実装方法は図11(B)に示した方法に限定されるものではなく、ここで説明した以外にも公知のCOG方法やワイヤボンディング方法、或いはTAB方法を用いることが可能である。

#### 【0113】

なお、スティックドライバは、シリコン基板、SOI基板、絶縁表面を有する基板のいずれの基板上に形成されても構わない。特に、スティックドライバが第2の基板1109と同じ厚さを有する場合、表示装置全体としての薄型化に寄与することができる点で好ましい。また、スティックドライバが第1の基板1101と同じ材料からなる場合、液晶表示装置に温度変化が生じても熱応力が発生することなく、TFTで作製された回路の特性を損なうことはないという点で好ましい。

#### 【0114】

なお、本実施例の構成は、実施例1～3のいずれの構成とも自由に組み合わせることが可能である。

#### 【0115】

(実施例6)

本実施例では、本願発明をアクティブマトリクス型EL表示装置に応用した例について述べる。説明には図12を用いる。

#### 【0116】

図12(A)はアクティブマトリクス型EL表示装置のブロック図である。図12(A)に示したアクティブマトリクス型EL表示装置は、画素1204がマトリクス状に配置された画素部1201と、データ線側駆動回路1202と、走査線側駆動回路1203とを有する。また、データ線側駆動回路1202にはデータ線1206が接続され、走査線側駆動回路1203には走査線1207が接続されている。電源供給線1208には所定の電位が与えられている。

#### 【0117】

なお、画素部1201、データ線側駆動回路1202、走査線側駆動回路1203およびメモリ部1205は同一基板上に形成されていても良いし、データ線

整理番号＝

側駆動回路 1202、メモリ部 1205 および走査線側駆動回路 1203 が、実施の形態で説明したステイックドライバによって画素部を形成する基板上に実装されていても良い。

#### 【0118】

図 12 (B) は、画素部 1201 を構成する画素 1204 の回路図を示したものである。画素 1204 は、スイッチング用 TFT1211、EL 駆動用 TFT1214、EL 素子 1216 を有し、スイッチング用 TFT1211 のゲート電極は走査線 1207 に、ソース・ドレイン電極の一方がデータ線 1206 に接続されている。スイッチング用 TFT1211 のソース・ドレイン電極の残る一方は、EL 駆動用 TFT1214 のゲート電極に接続されている。また、EL 駆動用 TFT1214 のソース電極が電源供給線 1208 に、ドレイン電極が EL 素子 1216 に接続されている。EL 素子 1216 のもう一方の電極は対向電極 1217 に接続されている。

#### 【0119】

なお、EL 駆動用 TFT1214 のゲート電極と電源供給線 1208 の間にコンデンサを設けてもよい。また、EL 駆動用 TFT として n チャネル型 TFT を用いる。スイッチング用 TFT1211 は n チャネル型 TFT でも p チャネル型 TFT でもよい。

#### 【0120】

本実施例は、実施例 1 および 2 のいずれの構成を組み合わせても良い。つまり、本実施例の半導体表示装置に実施例 1 で説明した制御回路を設けても良いし、本実施例の半導体表示装置を実施例 2 の半導体装置に搭載しても良い。

#### 【0121】

(実施例 7)

本実施例では、本願発明を応用したアクティブマトリクス型 EL 表示装置の上面図と断面図について説明を行う。

#### 【0122】

図 13 (A) は、EL 素子の封入まで行った状態を示すアクティブマトリクス型 EL 表示装置の上面図である。図 13 (A) において、基板 1301 上には、

整理番号＝

画素部 1302、走査線側駆動回路 1303、データ線側駆動回路 1304、メモリ部 1305、配線 1306 が形成されている。また、1309 はカバー材、1308 はシール材であり、シール材 1308 で囲まれたカバー材 1309 と基板 1301 との間の領域には充填材 1310（図 13（B）参照）が設けられている。

#### 【0123】

配線 1306 は、走査線側駆動回路 1303、データ線側駆動回路 1304、メモリ部 1305、及び画素部 1302 に入力される信号を伝達するための接続配線であり、外部機器との接続端子となる FPC（フレキシブルプリントサーキット）1307 から画像信号や制御信号を受け取る。

#### 【0124】

ここで、図 13（A）を A-A' で切断した断面に相当する断面図を図 13（B）に示す。なお、図 13（A）、（B）では同一の部位に同一の符号を用いている。

#### 【0125】

図 13（B）において、基板 1301 上には画素部 1301 および走査線側駆動回路 1303 が形成されている。画素部 1301 はスイッチング用 TFT、EL 駆動用 TFT、及び画素電極等を含む複数の画素により形成される。各画素は画素電極の下にカラーフィルタを有していてもよい。画素電極上には、開口部を有するように絶縁膜が形成され、その上に EL 層、及び対向電極が形成される。対向電極は全ての画素に共通であり、配線 1306 を経由して FPC 1307 に電気的に接続されている。また、走査線側駆動回路 1303 は n チャネル型 TFT と p チャネル型 TFT を相補的に組み合わせた CMOS 回路を用いて形成される。

#### 【0126】

図 13（B）に示した EL 表示装置は、上述した基板 1301 にシール材 1308 を形成し、スペーサを散布後カバー材 1309 と貼り合わせ、基板 1301 とカバー材 1309 とシール材 1308 で囲まれた領域内に充填材 1310 を注入したものである。配線 1306 と FPC 1307 とは導電性材料 1311 を

00000000000000000000000000000000

整理番号 =

用いて電気的に接続されている。

【0127】

なお、EL層4029は公知のEL材料（正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層）を自由に組み合わせて積層構造または単層構造とすれば良い。EL材料として有機材料だけでなく無機材料を用いることができる。カバー材1309は、基板1301と同じ材料からなる板を用いればよい。また、シール材1308の露呈部及びFPC1307の一部を覆うように第2のシール材（図示せず）を設けてもよい。

【0128】

なお、本実施例の構成は、実施例1、2、6のいずれの構成とも自由に組み合わせることが可能である。

【0129】

（実施例8）

本願発明は、スティックドライバを用いたアクティブマトリクス型EL表示装置にも応用することができる。

【0130】

図14（A）は、EL素子の封入まで行った状態を示すアクティブマトリクス型EL表示装置の上面図である。図14（A）において、基板1401上には、画素部1402、配線1406及び引き出し線1410が形成され、また、走査線側スティックドライバ1411a、1411b及びデータ線側スティックドライバ1412a、1412b、1412cが実装されている。走査線側スティックドライバ1411a、1411bは、走査線側駆動回路1403a、1403bをそれぞれ有しており、データ線側スティックドライバ1412a、1412b、1412cは、走査線側駆動回路とメモリ部（1404a、1405a）、（1404b、1405b）及び（1404c、1405c）をそれぞれ有している。また、1409はカバー材、1408はシール材であり、シール材1408で囲まれたカバー材と基板との間の領域には充填材1410（図14（B）参照）が設けられている。

【0131】

配線 1406 は、走査線側スティックドライバ 1411a、1411b、データ線側スティックドライバ 1412a、1412b、1412c、及び画素部 1402 に入力される信号を伝達するための接続配線であり、外部の半導体装置との接続端子となる FPC (フレキシブルプリントサーキット) 1407 から画像信号や制御信号を受け取る。また引き出し線 1410 は、走査線側スティックドライバ 1411a、1411b およびデータ線側スティックドライバ 1412a、1412b、1412c からの出力信号を画素部 1402 に入力するための配線である。

#### 【0132】

次に、図 14 (A) を A-A' で切断した断面に相当する断面図を図 14 (B) に示す。なお、図 14 (A)、(B) では同一の部位に同一の符号を用いている。

#### 【0133】

図 14 (B)において、基板 1401 上には画素部 1402、配線 1406、引き出し線 1410 が形成され、走査線側スティックドライバ 1411a が実装されている。

#### 【0134】

このうち、2つの基板が貼り合わされている領域は、図 13 (B) に示した断面図（実施例 7）と同様、基板 1401 とカバー材 1409 がシール材によって張り合わせられ、その間には充填材 1413 が充填されている。なお、カバー材 1409 としては、基板 1401 と同じ材料の板を用いるとよい。

#### 【0135】

また、配線 1406 の一方の端と FPC 1407 とは異方性導電材で接着されている。異方性導電材は樹脂 1415 と表面に Au などがメッキされた数十～数百 [μm] 径の導電性粒子 1414 から成り、導電性粒子 1414 により配線 1406 と FPC 1407 とが電気的に接続されている。

#### 【0136】

なお、シール材 1408 の露呈部、FPC 1407 の一部、走査線側スティックドライバ 1411a、1411b の一部、及びデータ線側スティックドライバ

整理番号 =

1412a、1412b、1412cの一部を覆うように第2のシール材を設けてもよい。

#### 【0137】

ステイックドライバの実装方法については、実施例5で説明した内容と全く同様な方法を用いればよい。図14（B）には走査線側ステイックドライバ1411aの断面図が示されており、走査線側駆動回路1403aと入出力端子1416を有する。また、走査線側ステイックドライバ1411aは異方性導電材で基板1401に接着され、走査線側ステイックドライバ1411aに設けられた入出力端子1416は、樹脂1415中に混入された導電性粒子1414により、引出線1410及び配線1406と電気的に接続されている。

#### 【0138】

上述した実装方法は本実施例の半導体装置に実装されている全てのステイックドライバにも用いられる。また、ステイックドライバの実装方法は図14（B）に示した方法に限定されるものではなく、ここで説明した以外にも公知のCOG方法やワイヤボンディング方法、或いはTAB方法を用いることが可能である。

#### 【0139】

なお、ステイックドライバは、シリコン基板、SOI基板、絶縁表面を有する基板のいずれの基板上に形成されても構わない。特に、ステイックドライバがカバー材と同じ厚さを有する場合、表示装置全体としての薄型化に寄与することができる点で好ましい。また、ステイックドライバが基板1401と同じ材料からなる場合、EL表示装置に温度変化が生じても熱応力が発生することなく、TFTで作製された回路の特性を損なうことはないという点で好ましい。

#### 【0140】

なお、本実施例の構成は、実施例1、2、6のいずれの構成とも自由に組み合わせることが可能である。

#### 【0141】

(実施例9)

本願発明は、パッシブマトリクス型の表示装置に応用することも可能である。

#### 【0142】

整理番号 =

図15 (A) はパッシブマトリクス型の表示装置のブロック図である。図15 (A) に示したパッシブマトリクス型の表示装置は、画素部1501と、データ線側駆動回路1502と、走査線側駆動回路1503と、メモリ部1505とを有する。画素部は1501は、データ線側駆動回路1502に接続されているデータ線1506と、走査線側駆動回路1503に接続されている走査線1507と、がクロスして形成される。

#### 【0143】

なお、データ線と走査線とは液晶層または自発光層を挟んで上下に形成されており、液晶表示装置の場合は、第1の基板と第2の基板上にそれぞれ形成され、EL表示装置の場合は、基板上にデータ線、EL層、走査線が積層して形成される。

#### 【0144】

データ線側駆動回路1502と走査線側駆動回路1503とメモリ部1505とは、画素部を形成する基板上に、直接形成されても良いし、ステイックドライバによって実装されて良い。

#### 【0145】

図15 (B) には、一例として、ステイックドライバを用いたパッシブマトリクス型液晶表示装置を示す。図15 (B)において、第1の基板1511及び第2の基板1512にはそれぞれデータ線側ステイックドライバ1514、走査線側ステイックドライバ1515が実装されている。画素領域1513は、第1の基板側1511に形成された複数のデータ線と、第2の基板側に形成された複数の走査線とが交差して形成される。

#### 【0146】

図示しないが、第1の基板に実装された走査線側ステイックドライバは、走査線側駆動回路を有しており、走査線及び配線を経由してFPCに接続されている。また、第2の基板上に実装されたデータ線側ステイックドライバは、データ線側駆動回路とメモリ部とを有しており、データ線及び配線を経由してFPCに接続されている。液晶層は、第1の基板と第2の基板との間に形成されている。

#### 【0147】

ステイックドライバを形成する基板は、画素部を形成する基板と同じ厚さと材質を有するものであることが好ましい。勿論、シリコン基板、S O I 基板、及び絶縁表面を有する基板のいずれの基板上に形成されていても構わない。

#### 【0148】

なお、本実施例の構成は、実施例1、2のいずれの構成を組み合わせても良い。つまり、本実施例の半導体表示装置に実施例1で説明した制御回路を設けても良いし、本実施例の半導体表示装置を実施例2の半導体装置に搭載しても良い。

#### 【0149】

(実施例10)

本願発明において、メモリ部を構成するメモリは、SRAM、DRAM、及びEEPROMのいずれであっても構わない。本実施例では、メモリ部のブロック図と基本的な動作に関する説明を行う。

#### 【0150】

図16は、本願発明を構成するメモリ部のブロック図の一例である。図16において、メモリ部は、それぞれ1ビットのデータを記憶することができるメモリセルがマトリクス状に配置されたメモリセルアレイ1602、Xアドレスデコーダ1603、Yアドレスデコーダ1604、マルチプレクサ1606、書き込み回路1605、読み出し回路1607、および他の周辺回路1608、1609によって構成される。メモリ部は、SRAM、DRAM、及びEEPROMのいずれであってもよく、用途に応じたメモリセル、書き込み回路、読み出し回路、周辺回路等が選ばれる。Xアドレスデコーダ1603とマルチプレクサ1606には複数のビット線1611が接続されており、Yアドレスデコーダ1604には複数のワード線1610が接続されている。また、各メモリセルはワード線とビット線に接続されている。他の周辺回路には、アドレスバッファ回路、コントロールロジック回路、冗長回路、等が含まれ、必要に応じて設けられる。また、読み出し回路には、センスアンプが設けられることが好ましい。

#### 【0151】

各メモリセルに関しては、実施例11～13を参照することができる。また、

整理番号 =

その他の回路に関しては、公知の回路構造を用いれば良い。

#### 【0152】

次に、メモリ部の基本動作について述べる。まず、メモリ部の外部からメモリセルのアドレス情報が入力されると、Xアドレスデコーダ及びYアドレスデコーダによって、一本のワード線と一本のビット線が選択され、一つのメモリセルが選択される。また同時に、メモリ部の外部からの制御信号によって、読み出し動作と書き込み動作のいずれかが選択される。読み出し動作を行う場合には、選択されたメモリセルに接続されるビット線が読み出し回路と接続され、外部に出力される。また、書き込み動作を行う場合には、選択されたメモリセルに接続されるビット線が書き込み回路と接続され、入力データがビット線を介してメモリセルに書き込まれる。

#### 【0153】

上述した動作は、SRAM、DRAM、及びEEPROMのいずれのメモリにおいてもおよそ共通である。なお、メモリの種類によっては各メモリセルにビット線対が接続される場合もある。この場合、メモリセルの選択は、一本のワード線と一対のビット線の選択によって行われる。また、EEPROMにおいては、書き込み動作と読み出し動作の他に、消去動作が行われる。各メモリに個別の読み出し動作や書き込み動作、或は消去動作に関しては、それぞれの回路構造に適した公知の動作方法を用いると良い。

#### 【0154】

本願発明において、メモリ部は画素部を形成する基板上に形成されるか、ステイックドライバを構成する基板上に形成される。メモリ部は実装される形態に応じて、バルクシリコン基板、SOI基板、及び絶縁表面を有する基板のいずれの基板上に形成されても構わない。

#### 【0155】

本実施例は、実施例1～9のいずれの構成と組み合わせても良い。

#### 【0156】

(実施例11)

本願発明において、メモリ部を構成するメモリは、SRAM、DRAM、及び

E E P R O M のいずれであっても構わない。本実施例では、メモリ部として S R A M を用いる場合について述べる。

#### 【0157】

S R A M は D R A M や E E P R O M と比較して、書き込み速度が非常に速いと いう特性を有する。また、入力されたデータは電源を切らない限り、次のデータ が入力されるまで保持されるため、D R A M で必要とされるリフレッシュ動作は 必要ない。また、S R A M はトランジスタのみを用いて形成することが可能なた め、作製の工程を増加することなく、S R A M を画素部および画素部の駆動回路 と一体形成することが可能である。

#### 【0158】

図 17 (A) 、 17 (B) に、S R A M のメモリセルの一例を示す。

#### 【0159】

図 17 (A) において、メモリセルは、2つの p チャネル型トランジスタ 1701、1703 と 2つの n チャネル型トランジスタ 1702、1704 とを有す るフリップフロップ 1707 と 2 個のスイッチング用トランジスタ 1705、1706 とからなる。

#### 【0160】

フリップフロップ 1707 において、p チャネル型トランジスタ 1701、1703 のソース領域は高電圧側の V d d に、n チャネル型トランジスタ 1702、1704 のソース領域は低電圧側の V s s に、それぞれ接続されている。p チ ャネル型トランジスタ 1701 と n チャネル型トランジスタ 1702 は対になっ ており、p チャネル型トランジスタ 1703 と n チャネル型トランジスタ 1704 は対になっている。対になった p チャネル型トランジスタと n チャネル型トランジスタは、そのドレイン領域が互いに接続されている。また対になった p チ ャネル型トランジスタと n チャネル型トランジスタは、そのゲート電極が互いに接 続されている。そして互いに一方の対の p チャネル型及び n チャネル型トランジ 斯タのドレイン領域が、もう一方の対の p チャネル型及び n チャネル型トランジ 斯タのゲート電極と電気的に接続されている。そして p チャネル型 1701 と n チャネル型トランジスタ 1702 のドレイン領域（電位を V 1 とする）はスイッ

整理番号 =

チング用トランジスタ 1705 のソース・ドレイン領域の一方、 p チャネル型 1703 と n チャネル型トランジスタ 1704 のドレイン領域（電位を V2 とする）はスイッチング用トランジスタ 1706 のソース・ドレイン領域の一方に接続されている。

#### 【0161】

フリップフロップ 1707 は、電位 V1 と V2 が反転した電位となるように設計されている。つまり、電位 V1 が Vdd である場合には、電位 V2 は Vss となり、電位 V2 が Vss である場合には、電位 V1 は Vdd となる。

#### 【0162】

そして、メモリセルに接続されるワード線 W とビット線対 (B1, B2) が選択されると、スイッチング用トランジスタ 1705 と 1706 がオンの状態となり、書き込み時には、ビット線対 (B1, B2) に入力される信号がフリップフロップ 1707 に書き込まれ、読み出し時には、フリップフロップ 1707 の電位 V1 と V2 がビット線対 (B1, B2) を経て読み出される。

#### 【0163】

次に、図 17 (A) に示したメモリセルとは異なるメモリセルを図 17 (B) に示す。図 17 (B)において、メモリセルは 2つの n チャネル型トランジスタ 1711, 1713 と 2つの抵抗 1712, 1714 とを有するフリップフロップ 1717 と、2 個のスイッチング用トランジスタ 1715, 1716 からなる。

#### 【0164】

フリップフロップ 1717において、n チャネル型トランジスタ 1711, 1713 のドレイン領域は抵抗 1712, 1714 を介して高電圧側の Vdd に、ソース領域は低電圧側の Vss にそれぞれ接続されている。n チャネル型トランジスタのドレイン領域は、互いに他の n チャネル型トランジスタのゲート電極と電気的に接続されている。そして n チャネル型トランジスタ 1711 のドレイン領域（電位を V3 とする）はスイッチング用トランジスタ 1715 のソース・ドレイン領域の一方、n チャネル型トランジスタ 1713 のドレイン領域（電位を V4 とする）はスイッチング用トランジスタ 1716 のソース・ドレイン領域の

整理番号 =

一方に接続されている。

#### 【0165】

フリップフロップ1717は、電位V3とV4とが反転した電位となるように設計されている。つまり、電位V3がVddである場合には、電位V4はVssとなり、電位V4がVssである場合には、電位V3はVddとなる。

#### 【0166】

そして、メモリセルに接続されるワード線Wとビット線対（B1、B2）が選択されると、スイッチング用トランジスタ1715と1716がオンの状態となり、書き込み時には、ビット線対（B1、B2）に入力される信号がフリップフロップ1717に書き込まれ、読みだし時には、フリップフロップ1717の電位V1とV2がビット線対（B1、B2）に読み出される。

#### 【0167】

なお、SRAMのメモリセルは、図18に示したものに限られるわけではない。他の公知のSRAMのメモリセルであっても構わない。

#### 【0168】

本実施例は、実施例1～10のいずれの構成と組み合わせても良い。

#### 【0169】

(実施例12)

本願発明において、メモリ部を構成するメモリは、SRAM、DRAM、及びEEPROMのいずれであっても構わない。本実施例では、メモリ部としてDRAMを用いる場合について述べる。

#### 【0170】

DRAMは、後述するようにメモリセルが一つのトランジスタと一つのキャパシタからなるため、SRAMと比較して小面積のメモリセルを実現することができる。その結果、SRAMと比して大容量かつ低コストのメモリを実現することができる。また、動作速度は、SRAMには劣るが、EEPROMよりも優れている。DRAMはトランジスタとキャパシタを用いて形成することが可能なため、キャパシタの形成プロセスを加えるだけで、DRAMを画素部および画素部の駆動回路と一体形成することが可能である。

**【0171】**

図18に、DRAMのメモリセルの一例を示す。図18において、メモリセルは、電荷を蓄えるためのキャパシタ1802と、電荷の充放電を制御するスイッチング用トランジスタ1801からなる。スイッチング用トランジスタ1801のゲート電極はワード線Wに、ソース・ドレイン領域の一方はビット線Bに、ソース・ドレイン領域の残る一方はキャパシタ1802に接続されている。キャパシタ1802の残る一方の電極には基準電位が与えられている。

**【0172】**

DRAMは、メモリセルを構成するキャパシタに電荷がある状態とない状態によって、1ビットの情報を格納する。データの書き込みは、ワード線Wに接続されるスイッチング用トランジスタ1801をオンの状態として、ビット線Bの電位を高電位または低電位とすることで、メモリセルのキャパシタ1802に蓄積される電荷量を制御する。一方、データの読み出しへは、ワード線Wに接続されるスイッチング用トランジスタをオンの状態1801として、メモリセルのキャパシタ1802の容量とビット線Bの寄生容量とを再分配させ、ビット線Bの電位の変化を、センスアンプを有する読み出し回路で検出する。

**【0173】**

なお、DRAMでは、スイッチング用TFTのオフ電流によってキャパシタに蓄積された電荷は短時間のうちに消失してしまう。DRAMではこれを防ぐために、一定期間毎に読み出しを行い、再書き込みを行うリフレッシュ動作が必要となる。

**【0174】**

なお、DRAMを構成するメモリセルの構造（特にキャパシタの構造）は、公知の構造を用いればよい。

**【0175】**

本実施例は、実施例1～10のいずれの構成と組み合わせても良い。

**【0176】**

（実施例13）

本願発明において、メモリ部を構成するメモリは、SRAM、DRAM、及び

整理番号 =

E E P R O M のいずれであっても構わない。本実施例では、メモリ部として E E P R O M を用いる場合について述べる。

#### 【0177】

E E P R O M は、 S R A M や D R A M と異なり、不揮発性のメモリである。このため、 E E P R O M を本願発明におけるメモリ部に用いた場合には、電源を切った状態においても記憶を消失することなく、電源を切る以前の静止画像を再表示することが可能である。

E E P R O M は、書き込み動作が遅いという欠点があるが、メモリセルを一つのメモリトランジスタによって構成することができる。その結果、 S R A M や D R A M と比べてメモリセルの面積を小さくすることができ、記憶容量の大きなメモリを実現することが可能となる。

#### 【0178】

E E P R O M はメモリトランジスタによって形成されるが、代表的なメモリトランジスタとしては、フローティングゲート電極を有するメモリトランジスタが挙げられる。この場合、作製工程においては、フローティングゲート電極を形成する工程を加えることによって、 E E P R O M を画素部および画素部の駆動回路と一体形成することが可能である。

#### 【0179】

E E P R O M は、 1 ビット毎の動作が可能なフル機能 E E P R O M と、消去動作をブロック毎に行うフラッシュメモリとに分類される。フラッシュメモリはさらに、 N O R 型、 N A N D 型といったいくつかの種類に分けられる。フル機能 E E P R O M はメモリセルは 2 つのメモリトランジスタにより構成されるため大容量化には適さないが、高機能を有する。一方、フラッシュメモリはメモリセルが 1 つのメモリトランジスタによって構成されるため、高い集積密度を実現することができる。勿論、本願発明において、メモリ部に E E P R O M を用いる場合には、上述した E E P R O M を含む、公知のいずれの E E P R O M を用いても構わない。

#### 【0180】

図 19 には、 E E P R O M の一例として、 N O R 型フラッシュメモリのメモリ

整理番号＝

セルの回路図を示す。図19において、メモリセルは一つのメモリトランジスタ1901によって構成される。メモリトランジスタのコントロールゲート電極はワード線Wに接続されており、ソース・ドレイン領域の一方はビット線Bに接続されている。ソース・ドレイン領域の残る一方には電位V0が与えられている。メモリトランジスタ1901はnチャネル型であってもpチャネル型であっても構わないが本実施例では、nチャネル型とする。

#### 【0181】

E PROMは、メモリセルを構成するメモリトランジスタのフローティングゲート電極に電荷がある状態とない状態によって、1ビットの情報を格納する。以下に、基本的な書き込み、読み出し、及び消去動作について述べる。

#### 【0182】

メモリトランジスタ1901にデータを書き込む場合は、電位V0をGNDとし、ビット線Bとワード線Wに、それぞれ正の高電圧（例えば20[V]）を印加する。その結果、インパクトイオノ化によって発生したホットエレクトロンがフローティングゲート電極に注入され書き込みが行われる。メモリトランジスタのしきい値電圧は、フローティングゲート電極に蓄積された電荷量に依存して変化する。

#### 【0183】

メモリトランジスタ1901に記憶されたデータを読み出す場合には、電位V0をGNDとし、ワード線Wに所定の電圧（後述）を印加する。そして、メモリトランジスタ1901のフローティングゲート電極に電荷が蓄積されている場合と蓄積されていない場合のしきい値電圧に対応して、メモリセルに記憶されているデータをビット線Bから読み出す。

#### 【0184】

なお、所定の電圧は、消去された状態（フローティングゲート電極に電子が蓄積されていない状態）におけるしきい値電圧と書き込まれた状態（フローティングゲート電極に電子が蓄積された状態）におけるしきい値電圧の間に設定すればよい。例えば、消去された状態のメモリTFTが0.5[V]以上3.5[V]以下のしきい値電圧を有し、書き込まれた状態のメモリTFTが、6.5[V]以上のし

きい値電圧を有する場合には、所定の電圧として例えば5[V]を用いることができる。

#### 【0185】

最後に、メモリトランジスタ1901の消去を行う場合、電位V0およびワード線WをGNDに落す。そして、ビット線Bに正の高電圧（例えば20[V]）を印加すると、メモリトランジスタ1901において、フローティングゲート電極に蓄積されている電子がトンネル電流によってドレイン領域へ注入され、記憶されていたデータが消去される。

#### 【0186】

なお、本実施例は、実施例1～10のいずれの構成と組み合わせても良い。

#### 【0187】

（実施例14）

本願発明では、メモリ部を複数のメモリによって構成してもよい。本実施例では、メモリ部をSRAMとフラッシュメモリで構成した半導体表示装置の説明を行う。

#### 【0188】

SRAMはDRAMやEEPROMと比較して、高速なデータの書き込みを行うことができる。一方、フラッシュメモリはSRAMやDRAMと比較して、高い集積度を実現することができる。本実施例では、このようなメモリの特徴を活かしてSRAMをキャッシュメモリとして、またフラッシュメモリをメインメモリとして用いる。

#### 【0189】

図20に、本実施例の半導体表示装置のブロック図を示す。本実施例の半導体表示装置2001には、フラッシュメモリ2004とSRAM2003とからなるメモリ部2009と、画素部2007と、走査線側駆動回路2006と、データ線側駆動回路2005と、メモリ制御回路2002と、が設けられている。また、画像信号および様々な制御信号等は、FPC（フレキシブルプリントサーキット）2008を経由して送られてくる。

#### 【0190】

整理番号 =

本実施例において、メモリ制御回路2002は、SRAM2003およびフラッシュメモリ2004に画像データを格納したり読み出したりという動作を制御する。半導体表示装置2001の外部の制御回路によってメモリ部2009を制御する場合には、メモリ制御回路2002を設けなくてもよい。

#### 【0191】

本実施例の半導体装置2001は、メモリ部2009と、画素部2007と、走査線側駆動回路2006と、データ線側駆動回路2005と、メモリ制御回路2002と、を同一基板上に一体形成する形態でもよいし、メモリ部2009とデータ線側駆動回路2005とメモリ制御回路2002とを一体形成したステイックドライバ、及び走査線側駆動回路2006を備えたステイックドライバを画素を形成する基板上に実装する形態でも良い。

#### 【0192】

まず、画像を表示する場合について述べる。本実施例の半導体表示装置2001において、外部から送られてきた画像信号と制御信号はFPC2008を経由してメモリ制御回路2002に入力される。そして、画像信号はまずSRAM2003に格納された後、再び読み出され、データ線側駆動回路2005とフラッシュメモリ2004へ送られる。そして、画像信号は画素部2007において表示されるとともに、フラッシュメモリ2004において格納される。なお、フラッシュメモリ2004への書き込み方法としては、多ビットの同時書き込みを行い、書き込みの高速化を図ることが好ましい。

#### 【0193】

静止画像を表示する場合には、半導体表示装置2001の外部からは制御信号だけがFPC2008を経由してメモリ制御回路2002に入力される。そして、メモリ制御回路2002から出力された制御信号に従って、フラッシュメモリに格納された画像データを画素部において表示する。

#### 【0194】

このように、SRAMをキャッシュメモリとすることによって、書き込み速度の遅いフラッシュメモリをにおいても画像データの格納を行うことが可能となる。また、集積度の高いフラッシュメモリをメインメモリとすることによって、S

00000000000000000000000000000000

整理番号 =

R A M や D R A M を用いた場合よりも多くの画像データを格納することが可能となる。

#### 【0195】

例えば、S R A M を 1 [kbit] ~ 1 [Mbit] 、フラッシュメモリを 1 [Mbit] ~ 1 0 [Gbit] などとするとよい。特に、大容量のフラッシュメモリを設ける場合には、メモリ部に格納した画像データによって、短時間の動画像を表示することも可能となる。

#### 【0196】

なお、本実施例の構成は、実施例 1 ~ 1 3 のいずれの構成とも自由に組み合わせて実施することができる。

#### 【0197】

(実施例 1 5 )

本実施例では、本願発明における画素部の駆動回路について説明する。

#### 【0198】

図 2 1 は、走査線側駆動回路の回路構成の一例を示したものである。図 2 1 において、走査線側駆動回路は、信号の入力側からシフトレジスタ回路 2 1 0 1 、レベルシフタ回路 2 1 0 2 、バッファ回路 2 1 0 3 が設けられている。シフトレジスタ回路 2 1 0 1 の電源電圧は 3 ~ 5 [V] で動作させるが、バッファ回路 2 1 0 3 は画素を構成するスイッチング用 T F T を駆動できる電圧で動作させる。例えば、ポリシリコン膜を用いたアクティブマトリクス型液晶表示装置では 1 6 [V] 程度、アモルファスシリコン膜を用いたアクティブマトリクス型液晶表示装置では 2 0 ~ 3 0 [V] 程度、ポリシリコン膜を用いたアクティブマトリクス型 E L 表示装置では 1 0 [V] 程度が必要となる。

#### 【0199】

従って、レベルシフタ回路 2 1 0 2 より後段の回路では、T F T の耐圧を高める必要がある。具体的には、チャネル長は 5 [ $\mu$ m] 以上とし、ゲート電極と重なる L D D 領域を設ける構造とすることが好ましい。また、ゲート絶縁膜の厚さも 1 0 0 ~ 2 0 0 [nm] の厚さで形成することが望ましい。この他、T F T の耐圧を高めるために、複数のゲート電極を設けたマルチゲート構造としても良い。

**【0200】**

一方、図22は、データ線側駆動回路の回路構成の一例を示したものである。

図22において、データ線側駆動回路は、信号の入力側からシフトレジスタ回路2201、ラッチ回路2202、2203、レベルシフタ回路2204、D/A変換回路2205が設けられている。本実施例では、3ビットのデジタル信号を入力し、D/A変換回路2205によって、アナログ信号に変換された画像信号が出力される。シフトレジスタ回路2201やラッチ回路2202、2203は3～5[V]で動作させるが、D/A変換回路2205はそれぞれの半導体表示装置に適した駆動電圧で動作させると良い。例えば、アクティブマトリクス型液晶表示装置では10～15[V]、アクティブマトリクス型EL表示装置では10[V]程度で駆動するとよい。

**【0201】**

データ線側駆動回路では、レベルシフタ回路2204より後段の回路においても耐圧をそれほど考慮する必要はないが、10[MHz]以上の高速動作が要求される。高速動作を実現するためには、チャネル長は0.5～5[μm]、ゲート絶縁膜の厚さを40～100[nm]、好ましくは75[nm]とすることが望ましい。また、ゲート電極と重なるLCD領域の長さは0.5～1[μm]で形成し、寄生容量の影響を極力低減しておく良い。

**【0202】**

なお、本実施例は、実施例1～14と組み合わせて実施することが可能である。

**【0203】**

(実施例16)

本実施例では、本願発明の半導体装置を絶縁表面を有する基板上に作製する方法について説明する。本願発明には、画素部と画素部の駆動回路とメモリ部とを同一基板上に一体形成したアクティブマトリクス型の表示装置（EL表示装置または液晶表示装置）、パッシブマトリクス型の表示装置（EL表示装置または液晶表示装置）等が含まれるが、本実施例では、アクティブマトリクス型のEL表示装置の画素部、画素部の駆動回路およびSRAMからなるメモリ部を、絶縁表

整理番号 =

面を有する基板上に同時に作製する方法について説明する。

#### 【0204】

説明を簡単にするために、画素部を代表して、画素を構成するスイッチング用 TFT (nチャネル型TFT) とEL駆動用TFT (pチャネル型TFT) を、画素部の駆動回路、SRAMのメモリセルおよびその駆動回路を代表して、CMOS回路を構成するpチャネル型TFTとnチャネル型TFTを、同時に作製することにする。また、本実施例では、画素部における画素電極の作製以降の工程については省略する。EL表示装置における画素電極の作製以降の工程については、公知の作製方法を用いれば良い。

#### 【0205】

なお、本実施例を基にすれば、本願発明の他の形態の作製方法も容易に想定することができる。例えば、液晶表示装置の画素はスイッチング用TFTによって構成されるが、このスイッチング用TFTは、EL表示装置の画素を構成するスイッチング用TFTと同様の作製工程を用いることができる。また、絶縁表面を有する基板を用いたスティックドライバは、本実施例において、画素部を除いた作製工程によって作製することができる。なお、フラッシュメモリのメモリセルを構成するメモリTFTの作製方法については、実施例17を参照することができる。

#### 【0206】

まず、図23(A)に示すように、コーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスから成る基板5001上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜5002を形成する。例えば、プラズマCVD法でSiH<sub>4</sub>、NH<sub>3</sub>、N<sub>2</sub>Oから作製される酸化窒化シリコン膜5002aを10～200[nm] (好ましくは50～100[nm]) 形成し、同様にSiH<sub>4</sub>、N<sub>2</sub>Oから作製される酸化窒化水素化シリコン膜5002bを50～200[nm] (好ましくは100～150[nm]) の厚さに積層形成する。本実施例では下地膜5002を2層構造として示したが、前記絶縁膜の単層膜または2層以上積層させた構造としても良い。

## 【0207】

島状半導体層 5003～5006 は、非晶質構造を有する半導体膜をレーザー結晶化法や公知の熱結晶化法を用いて結晶化した結晶質半導体膜で形成する。この島状半導体層 5003～5006 の厚さは 25～80 [nm]（好ましくは 30～60 [nm]）の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム（SiGe）合金などで形成すると良い。

## 【0208】

レーザー結晶化法で結晶質半導体膜を作製するには、パルス発振型または連続発光型のエキシマレーザーや YAG レーザー、YVO<sub>4</sub> レーザーを用いる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数 30 [Hz] とし、レーザーエネルギー密度を 100～400 [mJ/cm<sup>2</sup>]（代表的には 200～300 [mJ/cm<sup>2</sup>]）とする。また、YAG レーザーを用いる場合にはその第 2 高調波を用いパルス発振周波数 1～10 [kHz] とし、レーザーエネルギー密度を 300～600 [mJ/cm<sup>2</sup>]（代表的には 350～500 [mJ/cm<sup>2</sup>]）とすると良い。そして幅 100～1000 [μm]、例えば 400 [μm] で線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率（オーバーラップ率）を 80～98 [%] として行う。

## 【0209】

ゲート絶縁膜 5007 はプラズマ CVD 法またはスパッタ法を用い、厚さを 40～150 [nm] としてシリコンを含む絶縁膜で形成する。本実施例では、120 [nm] の厚さで酸化窒化シリコン膜で形成する。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマ CVD 法で TEOS (Tetraethyl Orthosilicate) と O<sub>2</sub> を混合し、反応圧力 40 [Pa]、基板温度 300～400 [°C] とし、高周波 (13.56 [MHz])、電力密度 0.5～0.8 [W/cm<sup>2</sup>] で放電させて形成することができる。こ

整理番号 =

のようにして作製される酸化シリコン膜は、その後400～500[℃]の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

#### 【0210】

そして、ゲート絶縁膜5007上にゲート電極（本実施例では、2層構造）を形成するための第1の導電膜5008と第2の導電膜5009とを形成する。第1の導電膜5008をTaで50～100[nm]の厚さに形成し、第2の導電膜5009をWで100～300[nm]の厚さに形成する。

#### 【0211】

Ta膜は、Taをターゲットとしてスパッタ法で形成する。この場合、Arに適量のXeやKrを加えると、Ta膜の内部応力を緩和して膜の剥離を防止することができる。また、 $\alpha$ 相のTa膜の抵抗率は20[ $\mu\Omega\text{cm}$ ]程度でありゲート電極に使用することができるが、 $\beta$ 相のTa膜の抵抗率は180[ $\mu\Omega\text{cm}$ ]程度でありゲート電極とするには向きである。Taの $\alpha$ 相に近い結晶構造をもつ窒化タンタルを10～50[nm]程度の厚さでTaの下地に形成しておくと $\alpha$ 相のTa膜を容易に得ることができる。

#### 【0212】

W膜は、Wをターゲットとしたスパッタ法で形成する。その他に6フッ化タンゲステン(WF<sub>6</sub>)を用いる熱CVD法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要がある。W膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。Wのターゲットには純度99.9999[%]のWターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9～20[ $\mu\Omega\text{cm}$ ]を実現することができる。

#### 【0213】

なお、本実施例では、第1の導電膜5008をTa、第2の導電膜5009をWとしたが、この材料に限定されるものではなく、いずれもTa、W、Ti、Mo、Al、Cuから選ばれた元素、または前記元素を主成分とする合金材料もしろくは化合物材料を用いることができる。また、リン等の不純物元素をドーピング

した多結晶シリコン膜に代表される半導体膜を用いてもよい。本実施例以外の他の組み合わせの一例は、第1の導電膜を窒化タンタル（TaN）で形成し、第2の導電膜をWとする組み合わせ、第1の導電膜を窒化タンタル（TaN）で形成し、第2の導電膜をAlとする組み合わせ、第1の導電膜を窒化タンタル（TaN）で形成し、第2の導電膜をCuとする組み合わせで形成することが好ましい。

#### 【0214】

次に、図23（B）に示すように、レジストによるマスク5010を形成し、第1のエッチング処理を行う。エッチング方法は限定されないが、本実施例ではICP（Inductively Coupled Plasma：誘導結合型プラズマ）エッチング法を用い、エッチング用ガスにCF<sub>4</sub>とCl<sub>2</sub>を混合し、1[Pa]の圧力でコイル型の電極に500[W]のRF（13.56[MHz]）電力を投入してプラズマを生成して行う。基板側（試料ステージ）にも100[W]のRF（13.56[MHz]）電力を投入し、実質的に負の自己バイアス電圧を印加する。CF<sub>4</sub>とCl<sub>2</sub>を混合した場合にはW膜及びTaN膜とも同程度にエッチングされる。

#### 【0215】

第1のエッチング処理では、第1の導電層及び第2の導電層の端部がテーパー形状となるように加工する。テーパー部の角度は15～45[°]とする。ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10～20[%]程度の割合でエッチング時間を増加させると良い。W膜に対する酸化窒化シリコン膜の選択比は2～4（代表的には3）であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は20～50[nm]程度エッチングされることになる。こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層5011～5015（第1の導電層5011a～5015aと第2の導電層5011b～5015b）を形成する。なお、ゲート絶縁膜において、第1の形状の導電層5011～5016で覆われない領域は20～50[nm]程度エッチングされ薄くなる。

#### 【0216】

次に、第1のドーピング処理を行いn型を付与する不純物元素を添加する。ド

整理番号=

ーピングの方法はイオンドープ法もしくはイオン注入法を用いれば良い。イオンドープ法の条件はドーズ量を  $1 \times 10^{13} \sim 5 \times 10^{14}$  [atoms/cm<sup>2</sup>] とし、加速電圧を 60 ~ 100 [keV] として行う。この場合、導電層 5011 ~ 5015 が n 型を付与する不純物元素に対するマスクとなり、自己整合的に第1の不純物領域 5017 ~ 5025 が形成される。n 型を付与する不純物元素としては、15族に属する元素、典型的にはリン (P) または砒素 (As) を用いるとよい。第1の不純物領域 5017 ~ 5025 には  $1 \times 10^{20} \sim 1 \times 10^{21}$  [atoms/cm<sup>3</sup>] の濃度範囲で n 型を付与する不純物元素 (本実施例ではリン (P)) を添加する。

#### 【0217】

次に、第2のエッティング処理を行う。本実施例では、エッティングガスには CF<sub>4</sub> と Cl<sub>2</sub> と O<sub>2</sub> を用い、ICP 装置によるエッティングを行う。第2のエッティング処理では W 膜を選択的にエッティングし、導電層が、図23 (C) に示す第2の形状の導電層 5026 ~ 5030 (第1の導電層 5026a ~ 5030a と第2の導電層 5026b ~ 5030b) となるようとする。このとき、ゲート絶縁膜のうち第2の形状の導電層 5026 ~ 5030 で覆われない領域はさらに 20 ~ 50 [nm] 程度エッティングされ薄くなる。

#### 【0218】

そして、図24 (A) に示すように第2のドーピング処理を行う。この場合、第1のドーピング処理よりもドーズ量を下げて高い加速電圧の条件として n 型を付与する不純物元素をドーピングする。例えば、加速電圧を 70 ~ 120 [keV] とし、 $1 \times 10^{13}$  [atoms/cm<sup>2</sup>] のドーズ量で行い、図23 (B) で島状半導体層に形成された第1の不純物領域の内側に新たな不純物領域を形成する。ドーピングは、第2の形状の導電層 5026 ~ 5030 を不純物元素に対するマスクとして用い、第1の導電層 5026a ~ 5030a の下側の領域にも不純物元素が添加されるようにドーピングする。こうして、第2の不純物領域 5032 ~ 5036 が形成される。この第2の不純物領域 5032 ~ 5036 に添加されたリン (P) の濃度は、第1の導電層 5026a ~ 5030a のテーパー部の膜厚に従つて緩やかな濃度勾配を有してはいるが、ほぼ同程度の濃度となっている。

#### 【0219】

図24（B）に示すように第3のエッティング処理を行う。エッティングガスにC<sub>HF</sub><sub>6</sub>を用い、反応性イオンエッティング法（RIE法）を用いて行う。第3のエッティング処理により、第1の導電層5026a～5030aのテーパー部を部分的にエッティングして、第1の導電層が半導体層と重なる領域が縮小される。第3のエッティング処理によって、第3の形状の導電層5037～5041（第1の導電層5037a～5041aと第2の導電層5037b～5041b）を形成する。このとき、ゲート絶縁膜のうち第3の形状の導電層5037～5041で覆われない領域はさらに20～50[nm]程度エッティングされ薄くなる。

#### 【0220】

第3のエッティング処理によって、第1の導電層5037a～5041aと重なる第3の不純物領域5032a～5036aと、第1の不純物領域と第3の不純物領域との間の第4の不純物領域5032b～5036bとが形成される。

#### 【0221】

そして、図24（C）に示すように、pチャネル型TFTを形成する島状半導体層5004、5006に第1の導電型とは逆の導電型の第5の不純物領域5052～5063を形成する。第2の導電層5038b、5041bを不純物元素に対するマスクとして用い、自己整合的に不純物領域を形成する。このとき、nチャネル型TFTを形成する島状半導体層5003、5005はレジストマスク5200で全面を被覆しておく。不純物領域5052～5063にはそれぞれ異なる濃度でリンが添加されているが、ジボラン（B<sub>2</sub>H<sub>6</sub>）を用いたイオンドープ法で形成し、そのいずれの領域においても不純物濃度を $2 \times 10^{20} \sim 2 \times 10^{21}$ [atoms/cm<sup>3</sup>]となるようとする。

#### 【0222】

以上までの工程でそれぞれの島状半導体層に不純物領域が形成される。島状半導体層と重なる第3の形状の導電層5037～5041がゲート電極として機能する。

#### 【0223】

レジストマスク5200を除去した後、導電型の制御を目的として、それぞれの島状半導体層に添加された不純物元素を活性化する工程を行う。この工程はフ

整理番号 =

アーネスアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、やラピッドサーマルアニール法（RTA法）を適用することができる。熱アニール法は酸素濃度が1[ppm]以下、好ましくは0.1[ppm]以下の窒素雰囲気中で400～700[°C]、代表的には500～600[°C]で行うとよい。本実施例では500[°C]で4時間の熱処理を行う。ただし、第3の形状の導電層5037～5041に用いた配線材料が熱に弱い場合には、配線等を保護するため層間絶縁膜（シリコンを主成分とする）を形成した後で活性化を行うことが好ましい。

#### 【0224】

さらに、3～100[%]の水素を含む雰囲気中で、300～450[°C]で1～12時間の熱処理を行い、島状半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

#### 【0225】

次いで、図25に示すように、第1の層間絶縁膜5075を酸化シリコン膜から100～200[nm]の厚さで形成する。その上に有機絶縁物材料から成る第2の層間絶縁膜5076を形成した後、第1の層間絶縁膜5075、第2の層間絶縁膜5076、およびゲート絶縁膜5007に対してコンタクトホールを形成し、各配線（接続配線、信号線を含む）5077～5083をパターニング形成する。この配線は50～200[nm]のTi膜、100～300[nm]のAl膜、50～200[nm]のスズ(Sn)膜またはTi膜で形成する。このような構成で形成された配線5077～5083は、最初に形成するTi膜が半導体層と接触をし、コンタクト部分の耐熱性を高めている。

#### 【0226】

以上の工程によって、図24(A)に示す画素電極を作製する直前の画素部、画素部の駆動回路およびメモリ部を、絶縁表面を有する基板上に同時に作製することができる。

#### 【0227】

本実施例の場合、nチャネル型TFTの活性層は、ソース領域、ドレイン領域

、ゲート絶縁膜を間に挟んでゲート電極と重なるLDD領域（LoV領域）、ゲート絶縁膜を間に挟んでゲート電極と重ならないLDD領域（Loff領域）およびチャネル形成領域を含む。このようにLoV領域を設けることにより、ホットキャリア効果によるTFTの劣化を防止することができ10[V]以上の高い電圧を印加しても極めて安定した動作を得ることができる。また、Loff領域を設けることにより、オフ電流を低く抑えることができる。特に、アモルファスシリコン層によって形成される画素部を駆動する走査線側駆動回路では、20～30[V]の電源電圧が用いられるため、このような構造は必要不可欠である。

#### 【0228】

また、本実施例で示す工程に従えば、TFTの作製に必要なフォトマスクの数を5枚に抑えることができる。具体的には、半導体層を島状に分割するマスク、ゲート電極を形成するためのマスク、ドーピング用のマスク、コンタクトホール形成用のマスク、配線形成マスクである。その結果、工程を短縮し、製造コストの低減及び歩留まりの向上に寄与することができる。

#### 【0229】

なお本実施例は、実施例1～15と組み合わせて実施することが可能である。

#### 【0230】

##### (実施例17)

本実施例では、実施例16とは異なる作製方法によって、本願発明の半導体装置を作製する方法について説明する。本実施例では、アクティブマトリクス型液晶表示装置の画素部、画素部の駆動回路およびフラッシュメモリからなるメモリ部を、絶縁表面を有する基板上に同時に作製する方法について説明する。

#### 【0231】

説明を簡単にするために、画素部を代表して、画素を構成するスイッチング用TFTを、画素部の駆動回路およびメモリ部の駆動回路を代表して、CMOS回路を構成するpチャネル型TFTとnチャネル型TFTとを、またフラッシュメモリのメモリセルを構成するメモリTFTを、同時に作製することにする。また、本実施例では、画素部における画素電極の作製以降の工程については省略する。液晶表示装置における画素電極の作製以降の工程については、公知の作製方法

整理番号＝

を用いれば良い。

### 【0232】

なお、本実施例を本願発明の他の形態の作製方法へ適用することができる。例えば、EL表示装置の画素を構成するスイッチング用TFTとEL駆動用TFTは、液晶表示装置の画素を構成するスイッチング用TFTと同様の作製工程を用いることができる。また、絶縁表面を有する基板を用いたスティックドライバは、本実施例において、画素部を除いた作製工程において作製することができる。また、SRAMはCMOS回路によって構成されるため、本実施例の駆動回路の作製工程を用いることができる。

### 【0233】

図26(A)において、基板2601、下地膜2602(2602a、2602b)、島状半導体層2603～2606は実施例16と同等なものとし、ここでは説明を省略する。なお、半導体層2604～2606にはnチャネル型TFTのしきい値電圧(V<sub>th</sub>)を制御する目的でp型を付与する不純物元素を $1 \times 10^{16} \sim 5 \times 10^{17}$ [atoms/cm<sup>3</sup>]程度の濃度で添加しても良い。

### 【0234】

第1のゲート絶縁膜2608はプラズマCVD法またはスパッタ法を用い、膜厚を40～200[nm]としてシリコンを含む絶縁膜で形成する。例えば、75[nm]の厚さの酸化窒化シリコン膜を形成すると良い。なお、メモリTFTを構成する第1のゲート絶縁膜の厚さを10～50[nm]とし、その他の素子を形成する第1のゲート絶縁膜の厚さを50～250[nm]としても良い。ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。

### 【0235】

次に、nチャネル型TFTのLDD領域(Lov領域)を形成するために、レジストマスク2609、2610を形成し、n型を付与する不純物元素を半導体層2604に選択的に添加する。ドーピングは、代表的な方法としてフォスフィン(PH<sub>3</sub>)を用いたイオンドープ法で行う。形成される不純物領域は低濃度n型不純物領域2607と定義されるもので、この領域のリン(P)濃度は $2 \times 10^{15}$ atoms/cm<sup>3</sup>程度である。

$0^{16} \sim 5 \times 10^{19}$  [atoms/cm<sup>3</sup>] の範囲とする。

### 【0236】

レジストマスク 2609、2610を除去した後、メモリ TFT のオーバーラップ領域を形成するために、レジストマスク 2611を形成し、n型を付与する不純物元素を半導体層 2606に選択的に添加する（図 26（B））。この工程により形成される n型不純物領域 2612には、n型不純物元素が  $1 \times 10^{20} \sim 1 \times 10^{21}$  [atoms/cm<sup>3</sup>]（代表的には  $2 \times 10^{20} \sim 5 \times 10^{20}$  [atoms/cm<sup>3</sup>]）の濃度で含まれるようにドーズ量を調節する。n型不純物元素としては、リン（P）の他に砒素（As）を用いればよく、本実施例ではリン（P）を用いる。

### 【0237】

その後、レジストマスク 2611を除去して、添加した不純物元素を活性化させる処理を行う。活性化の処理はレーザーアニール法により行うと簡便である。その条件の一例は、レーザーパルス発振周波数 1 [kHz] とし、レーザーエネルギー密度を  $100 \sim 300$  [mJ/cm<sup>2</sup>]（代表的には  $150 \sim 250$  [mJ/cm<sup>2</sup>]）とする。そして線状ビームを基板全面に渡って照射し、この時の線状ビームの重ね合わせ率（オーバーラップ率）を  $80 \sim 99$  [%]（好ましくは、 $95 \sim 99$  [%]）として行う。レーザーアニール法に用いるレーザー発振器には、ガスレーザーであるエキシマレーザーや固体レーザーである YAG レーザー、YVO<sub>4</sub> レーザー、YAlO<sub>3</sub> レーザー、YLF レーザーなどを用いることができる。前記 YAG レーザーなどの固体レーザーの場合には、その基本波（ $1064$  [nm]）の他にその第 2 高調波（ $532$  [nm]）、第 3 高調波（ $355$  [nm]）を用いることができる。こうして活性化処理をすることにより、チャネル形成領域とオーバーラップ領域との接合、及びチャネル形成領域と低濃度 n型不純物領域との接合を良好なものとすることができます。

### 【0238】

次に、図 26（C）に示すように、第 1 のゲート絶縁膜 2608 上にゲート電極 2613～2616 およびフローティングゲート電極 2617 を形成する。ゲート電極 2613～2616 およびフローティングゲート電極 2617 はタンタル（Ta）、チタン（Ti）、モリブデン（Mo）、タングステン（W）から選

ばれた元素、前記元素を主成分とする合金、前記元素を組み合わせた合金膜（代表的にはM o - W合金膜、M o - T a合金膜）、あるいは導電性を付与した珪素膜で形成すれば良い。このような材料から成る導電層の下には窒化タンタル（T a N）、窒化タンゲステン（W N）、窒化チタン（T i N）膜、窒化モリブデン（M o N）などの窒化物、タンゲステンシリサイド、チタンシリサイド、モリブデンシリサイドなどのシリサイドを形成しても良い。ゲート電極の厚さは200～400[nm]（好ましくは250～350[nm]）で形成する。

#### 【0239】

メモリTFTのフローティングゲート電極2617は、n型不純物領域2612と一部重なるように形成する。この重なった領域は、オーバーラップ領域と呼ばれ、メモリTFTの消去時にトンネル電流を流すための領域となる。また、ゲート電極2614は低濃度n型不純物領域2607と一部が重なるように形成する。

#### 【0240】

その後、ゲート電極522～524をマスクとして自己整合的にn型不純物元素（本実施例ではリン）2618～2626を添加し、低濃度n型不純物領域を形成する。この低濃度n型不純物領域は、リンの濃度が $1 \times 10^{17} \sim 1 \times 10^{19}$ [atoms/cm<sup>3</sup>]となるように調節する。

#### 【0241】

そして、図26(D)に示すように、nチャネル型TFTのソース領域またはドレイン領域として機能する高濃度n型不純物領域の形成を行う。まず、レジストのマスク2638～2640を形成し、n型を付与する不純物元素を添加して高濃度n型不純物領域2631～2637を形成する。n型を付与する不純物元素にはリン(P)を用い、その濃度が $1 \times 10^{20} \sim 1 \times 10^{21}$ [atoms/cm<sup>3</sup>]の濃度範囲となるようにフォスフィン(PH<sub>3</sub>)を用いたイオンドープ法で行う。

#### 【0242】

そして、図26(E)に示すように、pチャネル型TFTを形成する半導体層2603にソース領域およびドレイン領域を形成する高濃度p型不純物領域2641、2642を形成する。ゲート電極2613をマスクとしてジボラン(B<sub>2</sub>

$H_6$ ) を用いたイオンドープ法で行い、自己整合的に高濃度 p 型不純物領域を形成する。このとき n チャネル型 TFT を形成する半導体膜 2604 ~ 2606 はレジストマスク 2643 で全面を被覆しておく。この領域のボロン (B) 濃度は  $3 \times 10^{20} \sim 3 \times 10^{21}$  [atoms/cm<sup>3</sup>] となるようにする。

#### 【0243】

第 2 のゲート絶縁膜 2751 はプラズマ CVD 法またはスパッタ法を用い、膜厚を 40 ~ 200 [nm] としてシリコンを含む絶縁膜で形成する。例えば、75 [nm] の厚さの酸化窒化シリコン膜を形成すると良い。第 2 のゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。

#### 【0244】

その後、それぞれの濃度で添加された n 型または p 型不純物元素を活性化する。活性化手段としては、ファーネスアニール、レーザーアニール、ランプアニール、またはこれらを組み合わせた方法を用いるとよい。熱アニール法では酸素濃度が 1 [ppm] 以下、好ましくは 0.1 [ppm] 以下の窒素雰囲気中で 400 ~ 700 [°C]、代表的には 500 ~ 600 [°C] で行うものであり、代表的には 550 [°C] で 4 時間の熱処理を行う。

#### 【0245】

次に、200 ~ 400 [nm] の導電膜を形成し、パターニングを行いコントロールゲート電極 2752 を形成する (図 27 (A))。コントロールゲート電極 2752 は、第 2 のゲート絶縁膜 2751 を介してフローティングゲート電極 2617 の一部または全体と重なるように形成する。なお、コントロールゲート電極 2752 はタンタル (Ta)、チタン (Ti)、モリブデン (Mo)、タングステン (W) から選ばれた元素、前記元素を主成分とする合金、前記元素を組み合わせた合金膜 (代表的には Mo-W 合金膜、Mo-Ta 合金膜)、あるいは導電性を付与した珪素膜で形成すれば良い。このような材料から成る導電層の下には窒化タンタル (TaN)、窒化タングステン (WN)、窒化チタン (TiN) 膜、窒化モリブデン (MoN) などの窒化物、タングステンシリサイド、チタンシリサイド、モリブデンシリサイドなどのシリサイドを形成しておいても良い。ゲ

ート電極の厚さは200～400[nm]（好ましくは250～350[nm]）で形成する。

#### 【0246】

その後、図27（B）に示すように、コントロールゲート電極および第2のゲート絶縁膜上から第1の層間絶縁膜2761を形成する。第1の層間絶縁膜2761は酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜、またはこれらを組み合わせた積層膜で100～200[nm]の厚さで形成する。例えば、酸化シリコン膜を用いる場合には、プラズマCVD法で、TEOS（Tetraethyl Orthosilicate）とO<sub>2</sub>とを混合し、反応圧力40[Pa]、基板温度300～400[°C]とし、高周波（13.56[MHz]）電力密度0.5～0.8[W/cm<sup>2</sup>]で放電させて形成する。酸化窒化シリコン膜を用いる場合には、プラズマCVD法でSiH<sub>4</sub>、N<sub>2</sub>O、NH<sub>3</sub>から作製される酸化窒化シリコン膜、またはSiH<sub>4</sub>、N<sub>2</sub>Oから作製される酸化窒化シリコン膜で形成すれば良い。この場合の作製条件は反応圧力20～200[Pa]、基板温度300～400[°C]とし、高周波（60[MHz]）電力密度0.1～1.0[W/cm<sup>2</sup>]で形成することができる。また、SiH<sub>4</sub>、N<sub>2</sub>O、H<sub>2</sub>から作製される酸化窒化水素化シリコン膜を適用しても良い。窒化シリコン膜も同様にプラズマCVD法でSiH<sub>4</sub>、NH<sub>3</sub>から作製することが可能である。

#### 【0247】

熱処理を行った後、さらに、3～100[%]の水素を含む雰囲気中で、300～450[°C]で1～12時間の熱処理を行い、島状半導体膜を水素化する工程を行う。この工程は熱的に励起された水素により島状半導体膜にある10<sup>16</sup>～10<sup>18</sup>[/cm<sup>3</sup>]のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

#### 【0248】

そして、有機絶縁物材料からなる第2の層間絶縁膜2762を1.0～2.0[μm]の平均膜厚で形成する。有機樹脂材料としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB（ベンゾシクロブテン）等を使用することができます。このように、層間絶縁膜を有機絶縁物材料で形成することにより、

整理番号 =

表面を良好に平坦化させることができる。また、有機樹脂材料は一般に誘電率が低いので、寄生容量を低減することができ、TFTの動作を高速化する上で非常に重要な要素となる。しかし、これらの有機絶縁物材料は吸湿性があり保護膜としては適さないので、第1の層間絶縁膜2761で形成した酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜などと組み合わせて用いることが好ましい。

#### 【0249】

その後、第1及び第2の層間絶縁膜にコンタクトホールを形成し、実施例16と同様にして、ソースまたはドレイン配線2763～2768を形成する。コンタクトホールの形成はドライエッティング法により行い、エッティングガスとしてCF<sub>4</sub>、O<sub>2</sub>、Heの混合ガスを用い有機樹脂材料から成る層間絶縁膜をまずエッティングし、その後続いてエッティングガスをCF<sub>4</sub>、O<sub>2</sub>として保護絶縁膜146をエッティングする。さらに、半導体層との選択比を高めるために、エッティングガスをCHF<sub>3</sub>に切り替えてゲート絶縁膜をエッティングすることにより、良好にコンタクトホールを形成することができる。配線を形成後、300[℃]程度の温度で水素化処理とシンタリング処理を同時にを行うことができ、TFTの電気的特性を向上させることができる。

#### 【0250】

こうして、図27(B)に示す画素電極を作製する直前の画素部、画素部の駆動回路およびメモリ部を、絶縁表面を有する基板上に同時に作製することができる。

#### 【0251】

本実施例の場合、pチャネル型TFT2771は、チャネル形成領域、高濃度p型不純物領域から成るソースまたはドレイン領域が形成されたシングルドレンの構造を有している。nチャネル型TFT2772は、チャネル形成領域、ゲート電極613と重なるLDD領域(Lov領域)、ソースまたはドレイン領域を有している。Lov領域を設けることにより、ドレイン領域近傍に発生する高電界を緩和してホットキャリアの発生を防ぎTFTの特性劣化を防止することができる。なお、このLov領域はドレイン側のみに形成する。このような構造とすることで、ホットキャリア効果による特性の劣化を防ぎ、また寄生容量を最低

整理番号＝

限度に抑えて高速動作を可能とする。また、ソース及びドレイン領域の端部とゲート電極の端部がほぼ一致させることで、抵抗損失が減り電流駆動能力を高めることができる。このように、極力動作速度を落とさないようにホットキャリア注入を低減させる構造を有する TFT は、駆動回路部を形成する CMOS 回路を構成する TFT として適している。

#### 【0252】

スイッチング用 TFT 2773 は、ダブルゲート構造を有しており、また、チャネル形成領域、ゲート電極と重ならない LDD 領域（Loff 領域）及びソース・ドレイン領域を有している。ダブルゲート構造とし、Loft 領域を設けることにより、オフ電流を低減させることができる。液晶表示装置の画素を構成するスイッチング用 TFT は、オフ電流を極力低く抑える必要があり、このような構造を有する TFT は液晶表示装置の画素を構成するスイッチング用 TFT として適している。

#### 【0253】

メモリ TFT 2774 は、ソース・ドレイン領域の一方に高濃度 n 型不純物領域（オーバーラップ領域という）を有する。オーバーラップ領域は、メモリ TFT の消去時において、トンネル電流を流す領域である。

#### 【0254】

このように、本実施例の液晶表示装置は、画素部、駆動回路、メモリ部においてそれぞれ最適な構造の TFT を配置することにより、高い信頼性を示し、かつ動作特性の良い半導体装置を作製することができる。

#### 【0255】

なお、EL 表示装置の画素部を本実施例によって作製する場合には、以下のような TFT 構造とするとよい。EL 表示装置の画素を構成するスイッチング用 TFT は、ダブルゲート構造であって、かつソース領域とドレイン領域に Looff 領域を有する n チャネル型 TFT とする。また EL 表示装置の画素を構成する EL 駆動用 TFT は、ソース領域とドレイン領域に Lov 領域を有する TFT 構造とする。このような構造とすることで、スイッチング用 TFT ではオフ電流を抑え、EL 駆動用 TFT ではホットキャリア効果による特性の劣化を防ぐことができる。

きる。

#### 【0256】

この他、駆動回路において、チャネル形成領域を双方向に電流が流れるようなCMOS回路、即ち、ソース領域とドレイン領域の役割を入れ替わるようなCMOS回路が用いられる場合、CMOS回路を形成するnチャネル型TFTは、チャネル形成領域の両サイドにチャネル形成領域を挟む形でLDD領域を形成することが好ましい。このような例としては、点順次駆動に用いられるトランスマッショングートなどが挙げられる。また駆動回路において、オフ電流を極力低く抑える必要のあるCMOS回路が用いられる場合、CMOS回路を形成するnチャネル型TFTは、LoV領域とLoff領域の両方を有していることが好ましい。このような例としては、やはり、点順次駆動に用いられるトランスマッショングートなどが挙げられる。そのような構造を有するTFTも、本実施例の作製方法によって作製することができる。

#### 【0257】

なお本実施例は、実施例1～15と組み合わせて実施することが可能である。

#### 【0258】

(実施例18)

本願発明の半導体装置は、様々な電子機器に応用することができる。その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター（リア型またはフロント型）、ヘッドマウントディスプレイ、ゴーグル型ディスプレイ、ゲーム機、カーナビゲーション、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図28、29に示す。

#### 【0259】

図28(A)はディスプレイであり、筐体3001、支持台3002、表示部3003等を含む。表示部3003には、本願発明におけるアクティブマトリックス型及びパッシブマトリクス型の液晶表示装置やEL表示装置を用いることができる。

#### 【0260】

図28（B）はビデオカメラであり、本体3101、表示部3102、音声入力部3103、操作スイッチ3104、バッテリー3105、受像部3106で構成される。表示部3102には、本願発明におけるアクティブマトリクス型及びパッシブマトリクス型の液晶表示装置やEL表示装置を用いることができる。

#### 【0261】

図28（C）はヘッドマウントディスプレイの一部（右片側）であり、本体3201、信号ケーブル3202、頭部固定バンド3203、表示部3204、光学系3205、表示装置3206等を含む。表示装置3206には、本願発明におけるアクティブマトリクス型及びパッシブマトリクス型の液晶表示装置やEL表示装置を用いることができる。

#### 【0262】

図28（D）は記録媒体を備えた画像再生装置（具体的にはDVD再生装置）であり、本体3301、記録媒体3302、操作スイッチ3303、表示部3304、3305等で構成される。なお、この装置は記録媒体としてDVD（Digital Versatile Disc）、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。表示部3304、3305には、本願発明におけるアクティブマトリクス型及びパッシブマトリクス型の液晶表示装置やEL表示装置を用いることができる。

#### 【0263】

図28（E）はゴーグル型ディスプレイであり、本体3401、表示部3402、アーム部3403を含む。表示部3402には、本願発明におけるアクティブマトリクス型及びパッシブマトリクス型の液晶表示装置やEL表示装置を用いることができる。

#### 【0264】

図28（F）はパソコンコンピュータであり、本体3501、筐体3502、表示部3503、キーボード3504等で構成される。表示部3503には、本願発明におけるアクティブマトリクス型及びパッシブマトリクス型の液晶表示装置やEL表示装置を用いることができる。

#### 【0265】

図29（A）は携帯電話であり、本体3601、音声出力部3602、音声入力部3603、表示部3604、操作スイッチ3605、アンテナ3606を含む。表示部3604には、本願発明におけるアクティブマトリクス型及びパッシブマトリクス型の液晶表示装置やEL表示装置を用いることができる。

#### 【0266】

図29（B）は音響再生装置、具体的にはカーオーディオであり、本体3701、表示部3702、操作スイッチ3703、3704を含む。表示部3702には、本願発明におけるアクティブマトリクス型及びパッシブマトリクス型の液晶表示装置やEL表示装置を用いることができる。また、本実施例では車載用オーディオを示すが、携帯型や家庭用の音響再生装置に用いても良い。

#### 【0267】

以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例2～17のどのような組み合わせからなる構成を用いても実現することができる。なお、本発明の好ましい実施例では、画素のスイッチング素子としてTFTを開示したが、TFD（Thin Film Diode）等を画素のスイッチング素子として用いてもよい。

#### 【0268】

##### 【発明の効果】

本願発明では、静止画像（または短時間の動画像）を表示することのできる半導体表示装置を搭載した半導体装置において、画素部を形成する基板上にメモリ部を実装する。その結果、静止画像を表示する場合に消費電力を低く抑えることのできる半導体表示装置、および半導体表示装置を搭載した半導体装置が提供される。

#### 【0269】

本願発明ではまた、画素部を形成する基板上にメモリ部とメモリ制御回路とを設けてもよい。このような構成とすることによって、画素部を形成する基板の外部からはごく簡単な制御信号を入力するだけで静止画像（または短時間の動画像）を表示することができ、低消費電力の半導体表示装置および半導体表示装置を搭載した半導体装置が実現される。

**【図面の簡単な説明】**

【図 1】 本願発明の半導体装置のブロック図。

【図 2】 本願発明の半導体装置のブロック図。

【図 3】 従来の半導体装置のブロック図。

【図 4】 従来の半導体装置のブロック図。

【図 5】 本願発明の半導体装置のブロック図。

【図 6】 本願発明の半導体装置のブロック図。

【図 7】 本願発明の半導体装置のブロック図。

【図 8】 本願発明の半導体装置のブロック図。

【図 9(A)及び図9(B)] アクティブマトリクス型液晶表示装置の構成を示す図。

【図 10(A)及び図 10 (B)] アクティブマトリクス型液晶表示装置の上面図及び断面図。

【図 11 (A)及び図 11 (B)] アクティブマトリクス型液晶表示装置の上面図及び断面図。

【図 12 (A)及び図 12 (B)] アクティブマトリクス型EL表示装置の構成を示す図。

【図 13 (A)及び図 13 (B)] アクティブマトリクス型EL表示装置の上面図及び断面図。

【図 14 (A)及び図 14 (B)] アクティブマトリクス型EL表示装置の上面図及び断面図。

【図 15 (A)及び図 15 (B)] パッシブマトリクス型表示装置の構成を示す図。

【図 16】 本願発明の半導体装置を構成するメモリ部のブロック図。

【図 17 (A)及び図 17 (B)] S R A Mのメモリセルの回路図。

【図 18】 D R A Mのメモリセルの回路図。

【図 19】 E E P R O Mのメモリセルの回路図。

【図 20】 本願発明の半導体装置のブロック図。

【図 2 1】 走査線側駆動回路の構成を示す図。

【図 2 2】 データ線側駆動回路の構成を示す図。

【図 2 3 (A) - 図 2 3 (C)] 本願発明の半導体装置の作製行程を示す図。

【図 2 4 (A) - 図 2 3 (C)] 本願発明の半導体装置の作製行程を示す図。

【図 2 5】 本願発明の半導体装置の作製行程を示す図。

【図 2 6 (A) - 図 2 6 (E)] 本願発明の半導体装置の作製行程を示す図。

【図 2 7 (A) 及び図 2 7 (B)] 本願発明の半導体装置の作製行程を示す図。

【図 2 8 (A) - 図 2 8 (F)] 本願発明を応用した電子機器の一例を示す図。

【図 2 9 (A) 及び (B)] 本願発明を応用した電子機器の一例を示す図。

#### 【符号の説明】

1 0 1 半導体装置

1 0 2 半導体表示装置

1 1 1 入力端子

1 1 2 第1の制御回路

1 1 3 第2の制御回路

1 1 4 C P U

1 1 5 第1のメモリ

1 1 6 第2のメモリ

1 1 7 データ線側駆動回路

1 1 8 走査線側駆動回路

1 1 9 画素部

1 2 0 メモリ部